

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-112604

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H04L 29/10

(21)Application number : 09-271646

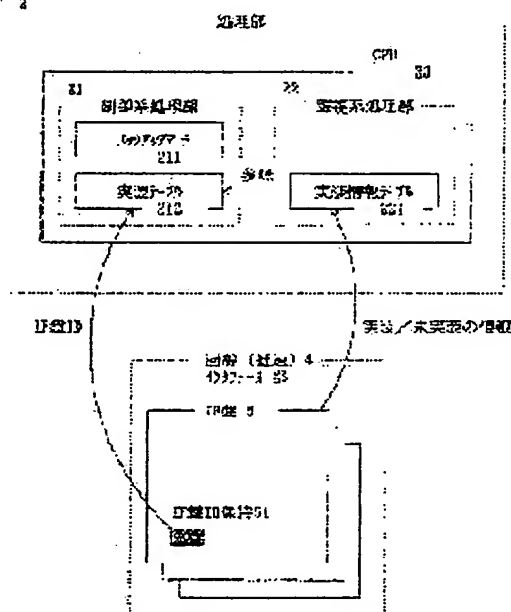
(71)Applicant : FUJITSU LTD

(22)Date of filing : 03.10.1997

(72)Inventor : MINAMIMOTO KAZUHIRO  
SHIMADA JUNICHI**(54) MIS-MOUNTING DISCRIMINATING METHOD FOR PACKAGE FOR TRANSMITTER AND TRANSMITTER USING THE SAME****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To discriminate the mis-mounting of an IF board package under complicated conditions by discriminating that all the packages inside one transmission line interface part are mis-mounted when plural kinds of packages of different transmission speeds coexist within one transmission line interface part.

**SOLUTION:** First, a control system processing part 21 recognizes a mounted IF board 5 inside a system 4, when this transmitter is activated. Further, the gathering of IF board IDs is executed from the IF board ID holding part 51 of the mounted IF board 5. Then, by the gathered IF board IDs, whether or not the plural kinds of the IF boards are mounted in coexistence inside the respective systems 4 is discriminated. Then, in the case of detecting coexistence, all the detected IF boards inside the system 4 are discriminated as being mis-mounted. Thus, this IF board mis-mounting discriminating method capable of being applied even for the case that the correspondence relation of transmission slots and normally mounted IF boards is not established with 1:1, and the plural kinds of the mountable IF boards are present with respect to one mounting slot and the device for applying it are obtained.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-112604

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl.<sup>9</sup>  
H 0 4 L 29/10

識別記号

F I  
H 0 4 L 13/00

3 0 9 Z

審査請求 未請求 請求項の数26 O L (全 41 頁)

(21)出願番号 特願平9-271646

(22)出願日 平成9年(1997)10月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 南本 和宏

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 島田 順一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

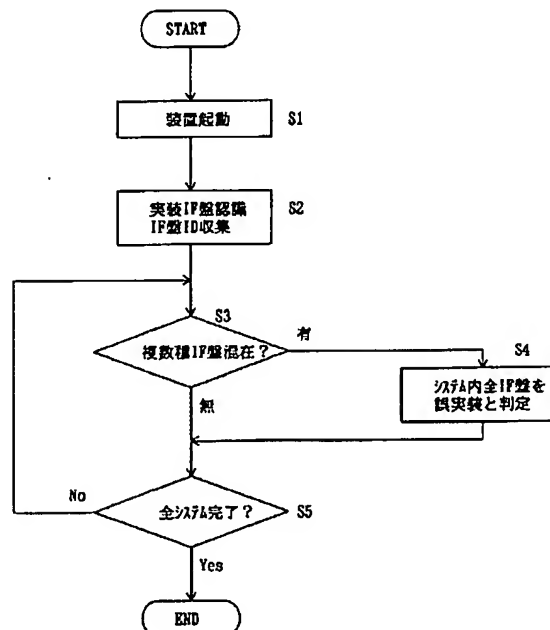
(74)代理人 弁理士 林 恒徳 (外1名)

(54)【発明の名称】 伝送装置におけるパッケージの誤実装判定方法、及びこれを用いる伝送装置

(57)【要約】

【課題】伝送装置の実装スロットと正規実装 I F 盤の対応関係が 1 : 1 で成立せず、1 実装スロットに対し、実装可能な I F 盤が複数種存在する場合にも適用可能な I F 盤誤実装判定方法及びこれを適用する伝送装置を提供する。

【解決手段】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のインタフェース盤のみを実装可能とする伝送装置において、伝送装置が起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査し、一の伝送路インタフェース部内に、伝送速度の異なる複数種のパッケージが混在している場合、当該一の伝送路インタフェース部内の全てのパッケージを誤実装と判定するかもしくは、バックアップデータ、実装スロット優先順位、I F 盤優先順位、運用中の既実装／新規実装の優先順位により誤実装判定を行う。



## 【特許請求の範囲】

【請求項1】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、

伝送装置が起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査し、一の伝送路インタフェース部内に、伝送速度の異なる複数種のパッケージが混在している場合、当該一の伝送路インタフェース部内の全てのパッケージを誤実装されたものと判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項2】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、伝送装置の運用状態での実装されたパッケージの種別をバックアップデータとして保持し、

次に伝送装置が再起動された時、前記複数の伝送路インタフェース部のそれぞれに対して、複数種のパッケージの混在有無を検査し、

同一伝送路インタフェース部内で該複数種のパッケージの混在を検出した場合、該バックアップデータと比較し、

該比較により、種別的一致するパッケージを正規実装、不一致のパッケージを誤実装と判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項3】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、

該複数の伝送路インタフェース部の各々の実装スロット毎に優先順位を定義し、

該複数の伝送路インタフェース部の各々に複数種のパッケージの混在があった場合、該優先順位の高い実装スロットに実装されているパッケージ種別を正規実装、優先順位の低い実装スロットに実装されているパッケージ種別を誤実装と判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項4】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、

該複数種の伝送速度のパッケージ毎に、優先順位を定義し、

該複数の伝送路インタフェース部の各々に複数種のパッ

ッケージの混在があった場合、該優先順位の高いパッケージ種別を正規実装、優先順位の低いパッケージ種別を誤実装と判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項5】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、

伝送装置の運用中に、該複数の伝送路インタフェース部にパッケージが新規に実装された時、該新規に実装されたパッケージが、同一の伝送路インタフェース部に既実装のパッケージと種別が異なる時、該既実装のパッケージを正規実装とし、該新規に実装されたパッケージを誤実装されたものと判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項6】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、

伝送装置の運用中に、該複数の伝送路インタフェース部にパッケージが新規に実装された時、該新規に実装されたパッケージが、同一の伝送路インタフェース部に既実装のパッケージと種別が異なる時、該新規に実装されたパッケージを正規実装とし、該既実装のパッケージを誤実装されたものと判定することを特徴とする伝送装置におけるパッケージの誤実装判定方法。

【請求項7】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部と、

起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査する処理部を有し、

該処理部が、一の伝送路インタフェース部内に、伝送速度の異なる複数種のパッケージが混在している場合、当該一の伝送路インタフェース部内の全てのパッケージを誤実装されたものと判定することにより、

該複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とすることを特徴とする伝送装置。

【請求項8】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部と、

起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査する処理部を有し、該処理部は、

前記複数の伝送路インタフェース部のそれぞれについて、伝送装置の運用状態での実装されているパッケージの種別をバックアップデータとして保持するメモリを有

し、次に伝送装置が再起動された時、伝送装置内の各伝送路インタフェース部に対して、複数種のパッケージの混在の有無を検査し、同一の伝送路インタフェース部内で混在を検出した時、該バックアップデータと比較し、種別の一致するパッケージを正規実装、不一致のパッケージを誤実装と判定することを特徴とする伝送装置。

【請求項9】請求項8において、前記処理部は、制御系処理部と監視系処理部を有し、該制御系処理部は、伝送装置内の各伝送路インタフェース部の単位で、伝送装置の運用状態での実装パッケージの種別をバックアップデータとして保持するメモリと、伝送装置の再起動時に、実装パッケージの種別情報を収集し、格納する実装テーブルを有し、

該バックアップデータと該実装テーブルとを比較し、不一致の実装スロットを実装テーブル上で“未実装”と定義し、

該監視系処理部は、パッケージの実装及び未実装の情報のみを収集保持し、該収集保持された実装及び未実装の情報と、該制御系処理部の該実装テーブルとを比較し、実装状態の一致する実装スロットを正規実装、不一致の実装スロットを誤実装と判定することを特徴とする伝送装置。

【請求項10】請求項9において、前記制御系処理部と監視系処理部の機能が、1つのCPUにより実行制御されることを特徴とする伝送装置。

【請求項11】請求項9において、前記制御系処理部と監視系処理部の機能が、2つの独立したCPUのそれぞれによって実行制御されることを特徴とする伝送装置。

【請求項12】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部と、

起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査する処理部を有し、該処理部は、

該複数の伝送路インタフェース部の各々の実装スロット毎に優先順位を定義したスロット優先テーブルと、伝送装置が起動された時、各伝送路インタフェース部に対し、実装パッケージの種別情報を収集し、格納する実装テーブルを備え、

該スロット優先テーブルと該実装テーブルを参照し、優先順位の高い実装スロットに実装されているパッケージを正規実装、優先順位の低い実装スロットに実装されているパッケージを誤実装と判定することを特徴とする伝送装置。

【請求項13】複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部と、起動された時、該複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが

混在して実装されているか否かを検査する処理部を有し、該処理部は、

伝送装置に実装可能なパッケージ種別ごとに優先順位を定義したパッケージ優先テーブルと、

伝送装置が起動された時、各伝送路インタフェース部に対し、実装パッケージの種別情報を収集し、格納する実装テーブルを備え、

該パッケージ優先テーブルと該実装テーブルを比較し、優先順位の高いパッケージ種別を正規実装、優先順位の低いパッケージを誤実装と判定することを特徴とする伝送装置。

【請求項14】請求項1乃至6のいずれかの誤実装判定方法において、

前記パッケージは、実装された時点ではスタンバイ状態とされ、正規実装と判定された場合のみ、初期設定によりスタンバイ状態を解除し、稼動可能とすることを特徴とするパッケージの誤実装時の保護方法。

【請求項15】請求項1乃至6のいずれかの誤実装判定方法において、

前記パッケージは、実装された時点では信号出力を切断状態とされ、正規実装と判定された場合のみ、初期設定により信号出力を可能とすることを特徴とするパッケージの誤実装時の保護方法。

【請求項16】請求項1乃至6のいずれかの誤実装判定方法において、

前記パッケージは、実装された時点では信号出力をハイインピーダンス状態とされ、正規実装と判定された場合のみ、初期設定により信号出力を可能とすることを特徴とするパッケージの誤実装時の保護方法。

【請求項17】請求項1乃至6のいずれかの誤実装判定方法において、

前記パッケージは、実装された時点では電源を切断状態とされ、正規実装と判定された場合のみ、初期設定により電源を投入することを特徴とするパッケージの誤実装時の保護方法。

【請求項18】請求項7乃至13のいずれかにおいて、前記パッケージは、実装された時点ではスタンバイ状態とされ、正規実装と判定された場合のみ、初期設定によりスタンバイ状態を解除し、稼動可能とすることを特徴とする伝送装置。

【請求項19】請求項7乃至13のいずれかにおいて、前記パッケージは、実装された時点では信号出力を切断状態とされ、正規実装と判定された場合のみ、初期設定により信号出力を可能とすることを特徴とする伝送装置。

【請求項20】請求項7乃至13のいずれかにおいて、前記パッケージは、実装された時点では信号出力をハイインピーダンス状態とされ、正規実装と判定された場合のみ、初期設定により信号出力を可能とすることを特徴とする伝送装置。

【請求項21】請求項7乃至13のいずれかにおいて、前記パッケージは、実装された時点では電源を切断状態とされ、正規実装と判定された場合のみ、初期設定により電源を投入することを特徴とする伝送装置。

【請求項22】請求項7乃至13、および18乃至21のいずれかにおいて、更に立上げトリガ発出部を有し、該立上げトリガ発出部からパッケージの実装時に立上げトリガを前記処理部に対して発出し、該処理部は、該立上げトリガの検出により、該パッケージの実装を認識し、該パッケージよりパッケージ種別情報を収集後、立上トリガをクリアすることを特徴とする伝送装置。

【請求項23】請求項1乃至6のいずれかにおいて、前記パッケージが誤実装であると判断された場合、外部に対し警報出力を行なうことを特徴とするパッケージの誤実装判定方法。

【請求項24】請求項23において、前記誤実装と判断されたパッケージを未実装として扱い、該パッケージから発出される誤実装以外の警報をマスクし、外部に警報出力を行なうことを特徴とするパッケージの誤実装判定方法。

【請求項25】請求項7乃至13のいずれかにおいて、前記パッケージが誤実装であると判断された場合、外部に対し警報出力を行なうことを特徴とする伝送装置。

【請求項26】請求項25において、前記処理部は、誤実装と判断されたパッケージを未実装として扱い、該パッケージから発出される誤実装以外の警報をマスクし、外部に警報出力を行なうことを特徴とする伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、伝送装置におけるパッケージ誤実装判定方法、及びこれを用いた伝送装置に関する。特に、複数種の伝送速度のそれぞれに対応する伝送回路を有するパッケージを実装可能な伝送装置において当該パッケージの誤実装を判定する方法に関する。

【0002】

【従来の技術】近年、情報化社会の発展に伴い、伝送装置によって構築されるネットワークの規模、および情報量の増加とともに、ネットワークの社会的重要性が増大している。このため、ネットワークの信頼性、安全性の向上が強く求められている。

【0003】この状況下で、伝送装置は、多数のパッケージを装置架体の実装して運用されている。従って、パッケージ実装に際しての誤操作即ち、誤実装は運用回線断等を招き、顧客運用への重大な障害をもたらす可能性がある。

【0004】このために、パッケージ誤実装に対して、フェイルセーフを考慮し、被害を最小限、もしくは皆無

にして、パッケージ実装を可能とする伝送装置が必要となっている。

【0005】かかる必要性に対し、従来のパッケージ（以下IF盤という）の誤実装を防止あるいは誤実装を判定をする、第1の技術としてIF盤にラベルを貼付して誤実装を防止する方法がある。

【0006】この方法は、装置に実装されるIF盤に対し、それぞれIF盤名称、図番、実装装置名等を記したラベルを貼付し、実装作業者が、IF盤実装時に目視確認を行うものである。かかる方法では、誤実装が防止できるか否かは、専ら実装作業者の注意力の資質に左右される。

【0007】次に、第2の技術として、IF盤IDによる誤実装の判定方法がある。図34は、この方法を用いる伝送装置の構成を説明する図である。伝送装置1は、処理部2、複数のIF盤5、比較部11、メモリ10および表示部12を有する。IF盤5は、その種類別に固有のIF盤種別情報（以下IF盤IDという）を有する。

【0008】この情報はIF盤5の内部のIF盤ID保持部51に記憶されている。メモリ10は、装置1内の各実装スロットと、そこに実装されるべきIF盤のIF盤IDを対として記憶している。

【0009】かかる構成により、誤実装の判定は次の様に行われる。処理部2は、ある実装スロットにIF盤5が実装された時、実装IF盤5のIF盤ID保持部51から、IF盤IDを取得する。処理部2は、メモリ10から、当該実装スロットに実装されるべきIF盤のIF盤IDを取得する。

【0010】ついで、実装IF盤5により取得したIF盤IDと、メモリ10より取得した実装されるべきIF盤のIF盤IDを比較部11に入力する。したがって、比較部11での判定の結果、両IF盤IDが一致すれば、IF盤5は正規に実装されたもの、不一致であれば誤って実装されたものと判定する。

【0011】更に、第3の技術は、IF盤の端子位置の相異による誤実装を判定する方法である。図35は、この方法の説明図である。伝送装置1は、IF盤5と実装スロット13と処理部2を有し、IF盤は識別端子52、共通端子53と、IF盤内部ループ54を有し、実装スロット13は識別端子131と共通端子132を有する。

【0012】IF盤の共通端子53と識別端子52はIF盤内で接続され、ループを形成するが、ループの一端となる識別端子の位置はIF盤種別によって異なる。実装スロット側の共通端子132は全実装スロットに対し共通であり、処理部2に接続される。識別端子131は、正規実装となるIF盤種別に対応したもののみが、各実装スロットごとに並列に処理部2に接続される。

【0013】かかる図35の構成において、誤実装を判

定する手順は、次のように行われる。まず、処理部2は全実装スロットの共通端子132に対し、共通信号14を送出する。IF盤5が正規実装される実装スロットの場合は、共通信号14は、IF盤内部のループ54と識別端子52を通して、処理部2へ到達する（図中のIF盤①、IF盤②）。

【0014】これに対し、IF盤5が誤実装される実装スロットでは、IF盤5と実装スロットの識別端子52が不導通となり、処理部2へは信号が到達しない（図中のIF盤③）。

【0015】上記により、共通信号14を送出したとき、識別端子52から処理部2へ到達する信号を識別信号15とする。したがって、この信号の有無により、実装スロットのIF盤の誤実装を判定することができる。

【0016】更にまた、第4の技術として、IF盤の形状を異ならせることにより誤実装を防止する方法がある。IF盤の種別ごとにIF盤のコネクタ形状、もしくはコネクタ位置を変化させ、実装スロットに対し、誤った種別のIF盤の挿入を物理的に不可能とする方法である。

【0017】

【発明が解決しようとする課題】しかしながら、上記の各従来技術による誤実装判定方法には次のような問題点がある。

【0018】第1の技術では、人的作業では誤りを完全に防止することは不可能である。IF盤誤実装の対策として、運用上要求される安全性を確保できない。また、第2乃至第4の技術では、装置の実装スロットと正規実装IF盤の対応関係が1:1で成立する場合には有効であるが、一実装スロットに対し、実装可能なIF盤が複数種存在する場合には適用できない。

【0019】さらに、第3、第4の技術では、適用に際し、ハードウェアの変更が必要となり、装置の小スペース化、低コスト化の要求に適さない。

【0020】したがって、本発明の目的は、前項に列挙した従来技術の問題点に対し、第1に伝送装置の実装スロットと正規実装IF盤の対応関係が1:1で成立せず、1実装スロットに対し、実装可能なIF盤が複数種存在する場合にも適用可能なIF盤誤実装判定方法及びこれを適用する装置を提供することにある。

【0021】さらに、本発明の目的は、人的作業であるIF盤実装において、回避不可能な問題であるIF盤誤実装の対策として、運用上要求される安全性を確保し得る保護を与えるIF盤誤実装判定方法及びこれを適用する装置を提供することにある。

【0022】さらにまた、本発明の目的は、適用に際し、ソフトウェアの変更によって実現可能で、ハードウェア変更を必要としないIF盤誤実装判定方法を提供することにある。

【0023】本発明の更なる目的は、図面を参照しての

本発明の実施の形態の説明から明らかとなる。

【0024】

【課題を解決するための手段】上記の目的を達成する本発明の基本概念は、複数種の伝送速度のパッケージを実装可能な複数の伝送路インタフェース部を有し、複数の伝送路インタフェース部のそれぞれには、同時に、同一伝送速度のパッケージのみを実装可能とする伝送装置において、伝送装置が起動された時、複数の伝送路インタフェース部のそれぞれに対して、伝送速度の異なる複数種のパッケージが混在して実装されているか否かを検査し、一の伝送路インタフェース部内に、伝送速度の異なる複数種のパッケージが混在している場合、当該一の伝送路インタフェース部内の全てのパッケージを誤実装されたものと判定することを特徴とする。

【0025】または、伝送装置の運用状態での実装されたパッケージの種別をバックアップデータとして保持し、次に伝送装置が再起動された時、前記複数の伝送路インタフェース部のそれぞれに対して、複数種のパッケージの混在の有無を検査し、同一伝送路インタフェース部内で複数種のパッケージの混在を検出した場合、バックアップデータと比較し、比較により、種別の一致するパッケージを正規実装、不一致のパッケージを誤実装と判定することを特徴とする。

【0026】更に、別の方法として、複数の伝送路インタフェース部の各々の実装スロット毎に優先順位を定義し、複数の伝送路インタフェース部の各々に複数種のパッケージの混在があった場合、該優先順位の高い実装スロットに実装されているパッケージ種別を正規実装、優先順位の低い実装スロットに実装されているパッケージ種別を誤実装と判定することを特徴とする。

【0027】また、別の方法として、複数種の伝送速度のパッケージ毎に、優先順位を定義し、該複数種の伝送路インタフェース部の各々に複数種のパッケージの混在があった場合、優先順位の高いパッケージ種別を正規実装、優先順位の低いパッケージ種別を誤実装と判定することを特徴とする。

【0028】さらにまた別の方法として、伝送装置の運用中に、複数の伝送路インタフェース部にパッケージが新規に実装された時、新規に実装されたパッケージが、同一の伝送路インタフェース部に既実装のパッケージと種別が異なる時、該既実装のパッケージを正規実装とし、該新規に実装されたパッケージを誤実装されたものと判定することを特徴とする。

【0029】また、伝送装置の運用中に、該複数種の伝送路インタフェース部にパッケージが新規に実装された時、該新規に実装されたパッケージが、同一の伝送路インタフェース部に既実装のパッケージと種別が異なる時、新規に実装されたパッケージを正規実装とし、既実装のパッケージを誤実装されたものと判定することを特徴とする。

## 【0030】

【発明の実施の形態】以下本発明の実施の形態を図面に従い説明する。なお、図において、同一または類似のものには、同一の参照数字または参照記号を付して説明する。

【0031】図1は、本発明に従う、IF盤の実装を判定する方法を適用する伝送装置1の概略構成を説明するブロック図である。伝送装置1は、低速伝送路9に接続される複数のシステムを収容する。更に、他の伝送装置と高速伝送路8を通して接続される。

【0032】システム対応の伝送路インタフェース部4で複数の低速伝送路9の情報を多重化する。これを高速インタフェース部3を通して伝送路8に転送する。また、反対に、高速伝送路9の情報を高速インタフェース部3で受け、伝送路インタフェース部4で多重分離して、低速伝送路9に分配する機能を有する。

【0033】上記のように、複数の低速伝送路9は、システム毎に伝送装置1に収容される。且つ1システムには、複数の伝送路9がIF盤5に接続される。したがって、新たに伝送装置1に低速伝送路9を収容する場合は、対応するIF盤を挿入することにより行われる。このIF盤の挿入時に、誤実装が生じる可能性がある。

【0034】伝送装置1は、処理部2を有する。この処理部2は、制御系処理部21と監視系処理部22の2つのタスクによって構成される。これらのタスクは、ハードウェアにより実行することが可能である。しかし、融通性の観点からソフトウェアにより実行することが望ましい。

【0035】制御系処理部21は、外部制御装置6からの指示に基づき、伝送装置1内における制御処理全般を実行する。さらに、その結果を外部制御装置6に通知する機能を有する。一方、監視系処理部22は、伝送路インタフェース部であるシステム4内のIF盤5の警報状態を、常時収集する。そして、収集される警報情報を外部監視装置7に通知する。

【0036】システム4には複数のIF盤5が実装され、伝送装置1が伝送すべき主信号を中継し、あるいは多重化処理を行う。同時に、監視系処理部22からの要求により、IF盤5の運用状態の監視情報を収集し、監視系処理部22に通知する。また、システム4は、制御系処理部21からの指示により、内部のIF盤5に対する制御処理を実行する。その結果は、制御系処理部21に通知される。

【0037】システム4内のIF盤5の各々は、IF盤ID保持部51（具体的にはEEPROM等の不揮発性メモリを利用して実現される。）を有する。IF盤ID保持部51は、当該IF盤5のIF盤の種別情報（IF盤ID）を記憶保持する。

【0038】外部制御装置6は、制御対象の伝送装置に対して制御指示を行ったり、その結果情報を伝送装置よ

り受信する。そして、外部制御装置6は、CRT等のHMI（Human-Machine Interface）手段を用いて、受信した情報を表示する。

【0039】外部監視装置7は、監視対象の伝送装置からの警報情報を受信し、同様にCRT等のHMI（Human-Machine Interface）手段を用いて表示を行う。

【0040】図2は、更に本発明が適用される伝送装置が配置されるネットワークの構成例と、伝送装置の位置づけを説明する図である。高速伝送路8を通して、対向する伝送装置1が接続される。

【0041】図に示すように、伝送装置1は、高速インタフェース部3とシステム（低速伝送路インタフェース）4を有する。伝送装置1は、端末との間で送受される低速伝送路信号を高速伝送路信号に多重化する機能、反対に伝送装置1間で送受される高速伝送路信号を低速伝送路信号へ分離する機能を有する。

【0042】この場合、1つの伝送装置1に対して、高速インタフェース部3の伝送速度は一意であるが、システム4には低速伝送路9と接続される端末6からの、あるいは端末6に送られる、伝送速度が異なる複数の信号が存在し、各伝送速度につき個別のIF盤5として装置に実装される。

【0043】図3は、本発明に従うIF盤の実装状態の概念図である。今、本発明の実施例として、以下の場合を前提にした例を取り扱う。

【0044】装置に実装可能なIF盤種別として、IF盤A、Bの2種類が存在する。IF盤AとBの伝送速度は、（IF盤Aの伝送速度）：（IF盤Bの伝送速度）＝1：3の関係にある。

【0045】例えば、IF盤A＝50M（IF盤）とIF盤B＝150M（IF盤）の関係である。

【0046】かかる場合、3枚のIF盤Aと1枚のIF盤Bは置換可能である。かつIF盤Aの3枚分（IF盤Bが1枚分）の伝送速度が1システムとして管理される。各システムには、固有のシステムIDが付与される。

【0047】図に示すとおり、システムIDで特定される1のシステムは、3つの実装スロットで構成される。図中、（a）の実装配置図に対応して、（b）に示される様に、スロットアドレス2、3、5、6にはIF盤Aのみが実装可能である。一方、スロットアドレス1及び4にはIF盤A、Bのいずれも実装可能である。

【0048】かかる関係からIF盤AおよびBが同じシステム内に混在することはない。同じシステム内にIF盤AおよびBが混在する場合は、誤実装である。

【0049】図4は、上記の伝送装置の構成において、本発明の基本概念を示す1実施例の動作フローである。まず制御系処理部21は、伝送装置1が起動された時（ステップS1）、システム4内の実装IF盤5を認識する。さらに、実装IF盤5のIF盤ID保持部51か



ら、IF盤IDの収集を実施する(ステップS2)。

【0050】次いで、収集したIF盤IDにより、各システム内での複数種のIF盤混在実装があるか否かを判断する(ステップS3)。混在が検出されなかった場合は、次のシステムの検査へと移行する。

【0051】混在を検出した場合は、検出したシステム内の全IF盤を誤実装として判定する(ステップS4)。次いで、次のシステムの検査へ移行する。かかる処理を伝送装置1内の全システム4に対して実行する(ステップS5)。

【0052】図5は、図1の構成の具体的な構成例を説明するブロック図である。以下の点が、図1の構成に対し、付加された特徴であり、図5は、その特徴に関連する部分のみの概略を示している。他の構成は、図1の構成と同様である。

【0053】処理部2において、1個のCPU23により、制御系処理部21と監視系処理部22の2つのタスクを構成する。制御系処理部21及び監視系処理部22の機能は、CPU23により実行されるソフトウェアによって、実現される制御系処理部21において、バックアップデータ211が管理され、装置運用状態で、各システムごとの実装IF盤IDが保持される。更に、制御系処理部21は、実装テーブル212を管理する。このために、制御系処理部21は、システム4に、実際に実装されている、IF盤5の対応するIF盤ID保持部51から最新の实装IF盤IDを収集し、実装スロット単位で、この実装テーブル212に保持する。

【0054】一方、実装情報テーブル221が、監視系処理部22によって管理され、実装テーブル212とは独立に、システム4内のIF盤の実装/未実装の状態を実装スロット単位で保持する。

【0055】図6は、図5と対比すべき、本発明の他の実施例構成を説明するブロック図である。処理部2内の制御系処理部21と監視系処理部22を、それぞれ独立した、2つのCPU24、25で実現している。

【0056】CPU24、25間に、共有メモリ26(具体的にはDPRAM(Dual PortRam)等で構成する)を備える。CPU24上の制御系処理部21とCPU25上の監視系処理部22は、この共有メモリ26を通して通信を行う。その他の構成は、図5の構成と同様である。

【0057】図7は、図5、図6に対応する制御系処理部24内のバックアップテーブル211と実装テーブル212の関係を、説明する図である。図7(a)は、バックアップデータ211の内容である。前回測定の実装データをシステム毎に記憶している。図の例では、前回測定の実装データによりシステム1には、IF盤Aが、システム2には、IF盤Bがバックアップデータとして格納されている。

【0058】図7(b)は、バックアップデータ211

と比較前の、実装テーブル212の内容を示す。実装テーブル212には、各実装スロットに対して、制御系処理部21が収集した、実装IF盤のIF盤IDが保持されている。

【0059】図7(c)は、バックアップデータ211と比較後の実装テーブル212の内容を示す。バックアップデータ211は、各システムに対して、1つのIF盤IDを保持し、各システムには、システムIDが付与されている。図において、Aは、IF盤AのIF盤IDを意味し、BはIF盤BのIF盤IDを意味する。

【0060】先に説明したように、1システムにはIF盤AとIF盤Bは混在しない。したがって、図7(a)のバックアップデータ211との比較により、図7(b)の実装テーブル212の内容において、システム1の第3スロットに挿入されたIF盤Bは誤実装である。また、システム2の第2、第3スロットに挿入されたIF盤Aは誤実装であることが分かる。

【0061】したがって、かかる場合、図7(c)に示すように、誤実装されたIF盤のスロットは、未実装であると定義する。

【0062】図8は、制御系処理部21、監視系処理部25の実装テーブル212及び、実装情報テーブル251の関係を説明する図である。

【0063】図8(a)は、実装テーブル212の内容である。この時の実装テーブル212は、バックアップデータ211との比較により、図7の処理を行なう。したがって、図7(c)に示される様に、バックアップデータ211と比較後の内容が更新されている。

【0064】図8(b)は、実装情報テーブル251の内容である。実装情報テーブル251には、IF盤の実装/未実装の監視系処理部25により収集された、回線インタフェース部(システム)4内の各実装スロットについての情報を、保持している。

【0065】図8(c)は、図8(a)の実装テーブル212及び図8(b)の実装情報テーブル251を監視系処理部22により比較することによって得られる判定結果である。例えば、実装テーブル212のスロットアドレス3は、未実装であるが、実装情報テーブル251の対応するスロットアドレス3は、実装となっている。したがって、図8(c)において、スロットアドレス3は、誤実装と判定される。

【0066】尚、図8において、図7と同様にAはIF盤AのIF盤IDを意味し、BはIF盤BのIF盤IDを意味している。

【0067】ここで、図6に戻り、共通メモリ26の役割と2CPU利用の利点について説明する。

【0068】それぞれ制御系処理部24、及び監視系処理部25を構成する2つのCPUはそれぞれ自身の保持するデータの最新の内容を共有メモリ26上に複写する。CPU間のデータの受け渡しは、共有メモリ26上のデー

タを読出すことにより達成される。

【0069】即ち、図6に構成において、共有メモリ26は、制御系処理部24、及び監視系処理部25の両処理部CPUにより、読み出し／書き込み可能なデュアルポートRAMで構成される。各処理部は自身の情報保持部（制御系処理部21はバックアップデータ211と実装テーブル212、監視系処理部22は実装情報テーブル221）の内容が更新される都度、更新データを共有メモリ26に複写する。

【0070】従って、共有メモリ26上には常に、制御系処理部21と監視系処理部22が保持する最新の情報の写しが図9に示すように共存する。従って、一方のCPUが他方のCPUの持つ情報を参照する際は、この共有メモリ26内に格納されている相手方CPUの情報を読み出せばよい。

【0071】図10は、例として、監視系処理部22が制御系処理部21の実装テーブル212を参照する場合を示している。

【0072】このように共有メモリ26を用いると、CPU間のデータの授受に際して処理が簡潔でCPUパワーのロスが少ないという利点がある。また、データを保持する側のCPUの状態に関わらず、データを参照することができる。

【0073】この理由は、次のようにも説明できる。共有メモリ26を用いずに、制御系処理部21と監視系処理部22を別個のCPUで実現した場合、例えば、監視系処理部22が制御系処理部21の保持する実装テーブル212を参照するには両処理部、即ちCPU間で以下の手順で通信を行わなければならない。

【0074】①監視系処理部22から制御系処理部21に対して、テーブル参照の要求を送信し、応答を待つ。

【0075】②制御系処理部21は、監視系処理部22の要求を受信し、実装情報テーブル212の内容を監視系処理部22に向けて送信する。

【0076】③監視系処理部22は、制御系処理部21からの情報を受信する。

【0077】この場合、情報を参照する側のCPU（上の例では、監視系処理部22）が応答待ちに入るだけでなく、参照される側のCPU（上の例では、制御系処理部21）にも「情報要求を受信して応答する」という処理を要し、CPUパワーのロスとなる。

【0078】一方、共有メモリ26を用いた場合、監視系処理部22は共有メモリ26に複写された実装テーブルの内容を読み出すのみでよく、制御系処理部21との通信を行う必要がない。それゆえ、制御系処理部21の状態に関わらず、制御系処理部21の保持する情報を参照することができる。

【0079】更に、制御系処理部21と監視系処理部22のサイズと処理能力にはトレードオフが存在する。したがって、装置構成上の顧客要求等に柔軟に対応するた

め、CPU1個の場合とCPU2個の場合の双方を考慮する。

【0080】処理部を1CPUで実現した場合、CPU数の減少により、処理部を構成するパッケージ数がCPU2個の場合より少なく、小型化、省スペースの要求に適する。但し、制御系、監視系の処理を1個のCPUで行うため、処理能力はCPU2個の場合に比べ、低下する。

【0081】これに対し、処理部を2CPUで実現した場合、処理の分散により、CPU1個あたりの負荷を軽減でき、CPU1個の場合に比べ、処理能力は向上する。但し、CPU数の増加により、処理部パッケージ数が増加し、CPU1個の場合に比べ、装置のサイズは大きくなる。

【0082】以上の特徴を考慮し、誤実装判定方法として、処理部のCPUが1個の場合と2個の場合のどちらにも対応することにより、顧客等からの装置構成に関する要求（装置小型化、処理速度向上等）に柔軟な対応が可能となる。

【0083】図11は、上記図5～図8の実施例の動作フローである。制御系処理部21は、伝送装置が起動されると（ステップS11）、システム4内の実装IF盤5を認識し、更に実装IF盤5のIF盤ID保持部51から、IF盤IDの収集を実施する（ステップS12）。収集されたIF盤IDは、図7（b）のように、実装テーブル212に格納される。

【0084】制御系処理部21は、全システムに関して、前回運用時の実装IF盤IDを記憶したバックアップデータ211が存在するかをチェックする（ステップS13）。存在するならば、バックアップデータを使用し、バックアップデータが存在しない場合は、装置1は新規に起動されたものとして、予め設定されていたデフォルト値をバックアップデータに転写する（ステップS14）。

【0085】ここで、具体例として、システム1に関して考察すると、制御系処理部21は、先に収集したIF盤IDにより、実装テーブル212上で、システム1内の複数種のIF盤混在実装の有無の検査を行う（ステップS15）。混在が検出されなかった場合は、次のシステムの検査へと移行する。

【0086】混在を検出した場合は、システム内の各実装IF盤5について、バックアップデータに保持されている、同システムの前回運用時のIF盤IDとの比較を行う（ステップS16）。ここで、一致すれば当該IF盤は正規実装と判定し、逆に不一致ならば、当該IF盤は誤実装と判定する（ステップS17）。上記の処理をシステム4内全IF盤5に対して行う（ステップS18）。

【0087】ここで、図7の例では、制御系処理部21は、実装テーブル212上で、システム1内の複数種I

F盤の混在実装有無を検査し、IF盤A、IF盤Bの混在を検出する。したがって、制御系処理部21は、実装テーブル212上で、スロットアドレス1～3の内容をバックアップデータ212のシステムIDが1の内容(IF盤A)と比較し、スロットアドレス3の実装スロットにおいて、IF盤IDの不一致を検出する(図7(b))。

【0088】したがって、スロットアドレス3に実装されているIF盤Bを誤実装と判定し、実装テーブル212上でスロットアドレス3を未実装に更新する(図7(c))。

【0089】一方、監視系処理部22は、更新後の実装テーブル212(図8(a))と、実装情報テーブル221(図8(b))の比較から、スロットアドレス3において、実装状態の不一致を検出する。これにより同スロットのIF盤を誤実装と判定する(図8(c))。

【0090】さらに、上記の処理を伝送装置1内の全システムに対して行い(ステップS19)、各システムの実装状態をバックアップデータ211に保持する(ステップS20)。また、以降、装置運用中にIF盤の実装状態変更(新規IF盤実装、既実装IF盤除去)が起こった場合は、バックアップデータ211を更新する。

【0091】図7の例で、システム2について、上記フローを考察すると、制御系処理部21は、実装テーブル212上で、システム内の複数種IF盤の混在実装有無を検査し、IF盤A、IF盤Bの混在を検出する。

【0092】制御系処理部21は、実装テーブル212上で、スロットアドレス4～6の内容をバックアップデータ211のシステムID2の内容(IF盤B)と比較する。この比較により、スロットアドレス5および6の実装スロットにおいて、IF盤IDの不一致であると判定される。

【0093】したがって、スロットアドレス5、および6に実装されているIF盤Aを誤実装と判定、実装テーブル212上でスロットアドレス5、および6を未実装に更新する(図7(c))。

【0094】監視系処理部22は、更新後の実装テーブル212(図11(a))と、実装情報テーブル221(図11(b))との比較から、スロットアドレス5、6において、実装状態の不一致を検出し、同スロットのIF盤を誤実装と判定する。

【0095】この様に、図5～図8の実施例では、同一システム内で混在を検出した場合、前記バックアップデータと比較し、種別の一致するIF盤を正規実装、不一致のIF盤を誤実装と判定する。

【0096】図12は、更に本発明の図5の実施例に対応する他の実施例構成のブロック図である。スロット優先テーブル213が処理部2内の制御系処理部21によって管理される。このスロット優先テーブル213によりシステム4について、予め定義された実装スロット毎

の優先順位を保持する。

【0097】実装スロットごとの優先順位に関する処理を、このスロット優先テーブル213を参照することによって実現する。他の構成は、先の図5の実施例と同様である。

【0098】図13は、図12のスロット優先テーブル213と実装テーブル212の関係を説明する図である。図13(a)は、スロット優先テーブル213の内容例である。スロット優先テーブル213内の数字が当該実装スロットのシステム内での優先順位であり、若番優先、もしくは老番優先で定義される(図は若番優先の例)。

【0099】さらに、図13(b)は、実装テーブル212の内容である。したがって、これらの比較から、システム1では優先順位に反してIF盤Aが実装されているので、図13(c)に示すように、誤実装と判定される。

【0100】図14は、かかる図12の実施例動作の流れを説明するフローである。図14において、制御系処理部21は、装置が起動された時(ステップS21)、システム4内の実装IF盤5を認識する。さらに、実装IF盤5のIF盤ID保持部51から、IF盤IDの収集を実施する(ステップS22)。収集されたIF盤IDは、実装テーブル212に格納される。

【0101】次いで、収集したIF盤IDにより、各システム内での複数種のIF盤混在実装有無の検査を行う(ステップS23)。混在が検出されなかった場合は、次のシステムの検査へと移行し、混在を検出した場合は、システム内で定義され、スロット優先テーブル213に保持されている実装スロットごとの優先順位にしたがって、優先順位最上位の実装スロットを検索対象スロットとする(ステップS24)。

【0102】ここで、図13の例によりシステム1について考察すると、実装テーブル212上で、システム1内の複数種IF盤の混在実装有無を検査し、IF盤AとIF盤Bの混在を検出する。

【0103】スロット優先テーブル213を参照し、優先順位1位である、スロットアドレス1の実装スロットを検索対象スロットに設定する。実装テーブル212上で、検索対象スロット(スロットアドレス1)にIF盤Bが実装されていることを検出する。

【0104】実装テーブル212上で、システム1内の全実装IF盤に対し、IF盤Bを正規実装、他のIDのIF盤を誤実装と判定する。

【0105】次に、検索対象スロットの実装IF盤の有無をチェックする(ステップS25)。検索対象スロットにIF盤が実装されていない場合、実装スロットごとの優先順位にしたがって、現在の検索対象スロットより、1つ下位の実装スロットを検索対象スロットとし(ステップS26)、ステップS25を実行する。

【0106】逆に、検索対象スロットに実装されている場合、当該IF盤IDを正規実装と判定し、他のIF盤IDを誤実装と判定する（ステップS27）。上記処理をシステム4内の全システムに対して行う（ステップS28）。

【0107】ここで、システム2を考察すると、実装テーブル212上で、システム内の複数種IF盤の混在実装有無を検査し、IF盤AとIF盤Bの混在を検出する。

【0108】スロット優先テーブル213を参照し、優先順位1位である、スロットアドレス4の実装スロットを検索対象スロットに設定する。

【0109】実装テーブル212上で、検索対象スロット（スロットアドレス4）が未実装であることを検出する。スロット優先テーブル213を参照し、優先順位2位である、スロットアドレス5の実装スロットを検索対象スロットに設定する。

【0110】実装テーブル212上で、検索対象スロット（スロットアドレス5）にIF盤Aが実装されていることを検出する。

【0111】実装テーブル212上で、システム2内の全実装IF盤に対し、IF盤Aを正規実装、他のIDのIF盤を誤実装と判定する。

【0112】以上より、図14（c）の判定結果を得ることができる。

【0113】この結果、装置内の各システムにおいて、複数種IF盤の混在があった場合、優先順位の高い実装スロットに実装されているIF盤種別を正規実装とし、優先順位の低い実装スロットに実装されているIF盤種別を誤実装と判定することが可能となる。

【0114】図15は、更に図5に対応する本発明の別の実施例である。この実施例においては、制御処理部21に、IF盤優先テーブル214を設ける。制御系処理部21によって管理され、予め定義された、装置に実装可能なIF盤種別ごとの優先順位を保持する。IF盤種別ごとの優先順位に関する処理は、このIF盤優先テーブル214の参照によって実現される。

【0115】その他の構成は、先の図12の実施例構成と同じである。図16は、IF盤優先テーブル214の説明図である。

【0116】IF盤優先テーブル214は、図16（a）に示されるように、各優先順位に対し、一つのIF盤IDを保持している。優先順位最下位は特定パターンによるストップである。図16（b）は、実装テーブル212の内容であり、図16（c）は、判定結果である。

【0117】かかる判定動作について、図15に対応する図17の実施例動作フローに従い説明する。伝送装置1が起動されると（ステップS31）、制御系処理部21は、システム4内の実装IF盤5を認識し、更に、実

装IF盤5のIF盤ID保持部51から、IF盤IDの収集を実施する（ステップS32）。ここで、収集したIF盤IDは、実装テーブル212に格納される（図16（b）参照）。

【0118】ステップS32において、実装テーブル212上に収集格納したIF盤IDにより、各システム内での複数種のIF盤混在実装有無の検査を行う（ステップS33）。

【0119】混在が検出されなかった場合は、次のシステムの検査へと移行する。図16の例では、システム1内に複数種A、及びBのIF盤が混在して実装されている。

【0120】したがって、この時は、混在を検出した場合であり、IF盤優先テーブル214に予め定義されているIF盤優先順位を参照し、これにしたがって、優先順位最上位のIF盤IDを検索対象IF盤IDに設定する（ステップS34）。図16の例では、優先順位最上位のIF盤IDとして、IF盤Aを検索対象に設定する。

【0121】システム4内の全実装IF盤5に対して、検索対象IF盤IDを検索する（ステップS35）。即ち、図16の例では、実装テーブル212上で、システム1内の全実装IF盤に対して、検索対象IF盤ID（IF盤A）を検索する。

【0122】検索対象IF盤IDを検出しなかった場合は、IF盤IDごとの優先順位にしたがって、現在の検索対象IF盤IDより、一つ下位のIF盤IDを検索対象IF盤IDとして設定する（ステップS36、37）。

【0123】逆に、検索対象IF盤種別を検出した場合、当該IF盤IDを正規実装とし、他のIF盤IDを誤実装とする（ステップS36、38）。

【0124】図16の例では、システム1について、検索対象IF盤ID（IF盤A）をスロットアドレス3において検出する。かかる場合、実装テーブル212上で、全実装IF盤に対し、IF盤Aを正規実装（スロットアドレス3）とし、他のIDのIF盤を誤実装と判定する（スロットアドレス1）。

【0125】かかるステップS33～38の処理を伝送装置1内の全システムに対して行う（ステップS39）。

【0126】同様にして、システム2に関して考察すると、図16（b）の実装テーブル212上で、システム2内の複数種IF盤の混在実装有無を検査すると、IF盤A、IF盤Bの混在が検出される。

【0127】この時、図16（a）のIF盤優先テーブル214を参照し、優先順位1位であるIF盤Aを検索対象IF盤IDに設定する。実装テーブル212上で、システム2内の全実装IF盤に対し、検索対象IF盤ID（IF盤A）を検索する。

【0128】したがって、検索対象IF盤ID（IF盤A）は、スロットアドレス4、5において検出される。したがって、実装テーブル212上で、システム2内の全実装IF盤に対し、図16（c）の判定結果に見られるように、IF盤Aを正規実装（スロットアドレス4、5）とし、他のIDのIF盤を誤実装と判定する（スロットアドレス6）。

【0129】上記のような動作フローにより、伝送装置内の各システムにおいて、複数種IF盤の混在があった場合、優先順位の高いIF盤種別を正規実装、優先順位の低いIF盤種別を誤実装と判定することが可能となる。

【0130】なお、図17のステップS34～37において、IF盤IDを優先順位降順に検索するとき、検索対象IF盤IDがストップパターンとなった場合、検索処理を終了する。

【0131】図18は、本発明の更に別の実施例であり、伝送装置1の正常運用中、新規にIF盤が実装された場合の処理に関する。新規にIF盤が実装された場合、制御系処理部21は、IF盤の新規実装を認識し（ステップS41）、新規に実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS42）。

【0132】収集したIF盤IDと、IF盤が新規に実装されたシステムで現在運用中のIF盤IDとを比較する（ステップS43）。両IDが一致すれば、正規のIF盤が追加実装されたものとし処理を終わる。不一致であれば、新規に実装されたIF盤を誤実装と判定する（ステップS44）。

【0133】この結果、伝送装置の運用中に、システムに新規にIF盤が実装される場合、そのIF盤が同じシステムに既に実装されているIF盤と種別が異なる場合は、既に実装されていたIF盤を正規実装、新規に実装されたIF盤を誤実装と判定することが可能となる。

【0134】図19は、本発明の更に別の実施例の動作フローである。今、図1の構成の伝送装置1の正常運用中、新規にIF盤が実装された場合、制御系処理部21は、IF盤の新規実装を認識する（ステップS51）。新規に実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS52）。

【0135】収集したIF盤IDと、IF盤が新規に実装されたシステムで現在運用中のIF盤IDとを比較し（ステップS53）、両IDが一致すれば、正規のIF盤が追加実装されたものとし、不一致であれば、既に実装され、運用中のIF盤を誤実装と判定する（ステップS54）。

【0136】この結果、装置の運用中に、システムに新規にIF盤が実装され、同IF盤が同システムに既に実装されていたIF盤と種別が異なる場合、新規に実装さ

れたIF盤を正規実装、既に実装されていたIF盤を誤実装と判定することが可能となる。

【0137】図20は、本発明に従うIF盤の詳細構成例を示すブロック図である。

【0138】図中、IF盤5のIF盤主回路55は、伝送装置1に伝送すべき主信号の中継等、IF盤の主要な機能を担う。

【0139】信号出力回路551は、IF盤設定保持部56からの設定値入力を受けて、伝送装置1に対する信号を出力する。IF盤設定保持部56は、例えばDPRAM等で構成される。IF盤設定保持部56は、処理部2によって設定される、IF盤の移動にあたっての各種設定を保持し、これを信号出力回路551に入力する。その他の構成は、図1の実施例の内容と同一である。

【0140】図21は、図20に対応する動作フローである。伝送路インタフェース部4にIF盤5が実装され、もしくはIF盤が既に実装された状態で、装置が起動された時（ステップS61）、制御系処理部21は、IF盤5の実装を認識し、実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS62）。

【0141】制御系処理部21は、IF盤に対して、実装時点ではIF盤設定保持部56に対して、初期設定を行わず、IF盤を移動不可能なスタンバイ状態としておく（ステップS63）。

【0142】処理部2は、ステップS62で取得したIF盤IDをもとに、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行う（ステップS64）。この判定による判定結果を判断し（ステップS65）、当該IF盤が誤実装と判定された場合、処理部2は、このIF盤のIF盤設定保持部56に対する初期設定処理を行わない。

【0143】反対に、正規実装と判定された場合に、処理部2は、このIF盤のIF盤設定保持部56に対して初期設定を行い、IF盤を移動状態とする（ステップS66）。

【0144】かかる処理により、IF盤誤実装発生時に、誤実装IF盤は伝送装置に信号が出力されることがなく、誤実装による正常回線への影響を回避することが可能となる。

【0145】図22は、更に本発明に従うIF盤の別の構成例ブロック図である。

【0146】図中、信号線スイッチ部57（具体的にはトランジスタ等の電子スイッチ、あるいはリレー等）が、信号出力回路551と伝送装置1の間に配置される。この信号線スイッチ部57は、処理部2による誤実装判定結果を制御入力として、スイッチングを行う。その他の構成は、図20の実施例構成と同様である。

【0147】図23は、図22の実施例の動作フローである。システム4にIF盤5が実装され、もしくはIF

盤が既に実装された状態で、装置が起動された時（ステップS71）、制御系処理部21は、IF盤5の実装を認識し、実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS72）。

【0148】処理部2は、IF盤に対して、実装時点ではIF盤設定保持部56に対して、IF盤を稼動不可能なスタンバイ状態としておく（ステップS73）。このために、IF盤5を、実装時点では、信号線スイッチ部57を開放状態とし、装置に対する信号出力線を切断状態としておく。

【0149】処理部2は、ステップS72で取得したIF盤IDをもとに、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行う（ステップS74）。この判定による判定結果を判断し（ステップS75）、当該IF盤が誤実装と判定された場合、処理部2は、このIF盤の信号線スイッチ部57を開放状態のままとする。

【0150】反対に、正規実装と判定された場合は、IF盤を稼動状態とする。即ち、信号線スイッチ部57を閉じ、信号出力を可能とする（ステップS76）。

【0151】かかる処理により、IF盤誤実装発生時に、誤実装IF盤は伝送装置に信号が出力されることがなく、誤実装による正常回線への影響を回避することが可能となる。

【0152】図24は、本発明に従うIF盤の更に別の実施例構成である。図中、トライステート出力部58は、IF盤5の信号出力回路551に接続され、処理部2による誤実装判定結果を制御入力として動作する。その他の構成は、図20の実施例と同様である。

【0153】図25は、図24の実施例に対する動作フローである。伝送路インタフェース部4にIF盤5が実装された時、もしくは装置が起動された時（ステップS81）、処理部2は、IF盤5の実装を認識し、実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS82）。

【0154】IF盤5は、実装時点では、トライステート出力部58の出力をハイインピーダンスとし、装置に対する信号出力を不可能としておく。処理部2は、ステップS82で取得したIF盤IDをもとに、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行う（ステップS84）。

【0155】当該判定の結果を判断し、（ステップS85）、IF盤が誤実装と判定された場合、処理部2は、当該IF盤のトライステート出力部58の出力をハイインピーダンス状態のままとする。反対に、正規実装と判定された場合は、処理部2は、当該IF盤に対して、トライステート出力部58のハイインピーダンス出力を解除し、当該IF盤の装置に対する信号出力を可能とする（ステップS86）。

【0156】この結果、IF盤誤実装発生時に、誤実装IF盤から装置に信号が出力されることがなく、誤実装による正常回線への影響を回避することが可能となる。

【0157】図26は、更にまた別のIF盤の構成例ブロック図である。図中、伝送装置1内の電源16から、IF盤主回路55とIF盤ID保持部51の各々に電源を供給している。したがって、IF盤主回路55への電源供給は、電源スイッチ部510を介し、IF盤ID保持部51には常に電源が供給される構成である。

【0158】電源スイッチ部59（具体的にはトランジスタ等の電子スイッチ、あるいはリレー等で構成する）は、IF盤主回路55と電源16の間に接続され、処理部2による誤実装判定結果を制御入力として、スイッチングを行う。その他の構成は、図20の実施例と同様である。

【0159】図27は、図26の実施に対応する動作フローである。システム4にIF盤5が実装された時、もしくは装置が起動された時（ステップS91）、処理部2は、IF盤5の実装を認識し、実装されたIF盤5のIF盤ID保持部51より、当該IF盤のIF盤IDを取得する（ステップS92）。

【0160】IF盤5は、実装時点では、電源スイッチ部59を開放とし、電源を切断状態としてIF盤5は稼動不可能な状態とされる（ステップS93）。処理部2は、ステップS92で取得したIF盤IDをもとに、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行う（ステップS94）。

【0161】判定結果から（ステップS95）、当該IF盤が誤実装と判定された場合、処理部2は、電源スイッチ部59を開放状態のままとする。反対に、正規実装と判定された場合は、処理部2は、当該IF盤に対して、電源スイッチ部59を閉じ、当該IF盤を稼動状態とする（ステップS96）。

【0162】これにより、IF盤誤実装発生時に、誤実装IF盤が稼動することがなく、誤実装による正常回線への影響を回避することが可能となる。

【0163】図28は、本発明の更に別の一実施例の動作フローである。この実施例では、立上トリガを用いる実施例である。IF盤5が、既に実装された状態で、伝送装置が起動された時、もしくは、装置運用中にIF盤5が実装された時、上記図20の実施例に関連して説明したようにIF盤はスタンバイ状態にある（ステップS100）。

【0164】IF盤5は、処理部2に対して、“H”レベルの立上トリガを発出する。このトリガ発出回路については後に図29、30に関連して説明する。

【0165】制御系処理部21は、この立上トリガの検出によって、IF盤が実装されたことを認識し、当該IF盤のIF盤ID保持部51より、同IF盤のIF盤ID



Dを収集する(ステップS101)。

【0166】処理部2は、ステップS101において収集したIF盤IDを用いて、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行う(ステップS102)。処理部2は、判定結果を判断して(ステップS103)、判定結果が誤実装ならば、当該IF盤に対して立上トリガクリア処理を行わず、逆に、正規実装ならば、当該IF盤に対して、立上トリガクリア処理を行う(ステップS104)。これにより、立上トリガは“L”レベルとなり、IF盤は稼動状態に移る。

【0167】この結果、IF盤の誤実装判定を行うにあたり、立上トリガを用いて、IF盤の実装認識を行うことにより、処理部はIF盤の実装認識と同時に、IF盤IDの収集が実行可能となる。

【0168】ここで、上記図28及び以下の実施例にも共通する上記立上トリガ発出回路の実施例について説明する。図29がトリガ発出回路の構成例ブロック図であり、図30がこれに対応する信号タイムチャートである。

【0169】まず、IF盤に電源が投入された時(図30の①)、パワー・オン・リセット回路19は、幅ΔTのパルス(図30の②)を出力する。このパルスの立ち下がりによって、D-FF17の出力(図30の③)は“H”となり、これを立上トリガとして用いる。

【0170】当該立上トリガによって、処理部2がIF盤5の実装を認識し(図30の④(2))、誤実装判定の結果、正規実装であるならば、レジスタ18に対して、立上トリガクリアのコマンドを書き込む。

【0171】この書込みにより、レジスタ18の出力(図30の⑤)は“H”となり、この結果、OR回路20を通して、D-FF17のリセット端子(RST)入力は“H”となり、D-FF17の出力はリセットされ、“L”となる。

【0172】このようにして、IF盤実装により“H”となり、処理部2による立上トリガクリア処理によってのみ“L”となる立上トリガ(図30の⑥)が実現できる。

【0173】図31は、更に本発明の他の実施例動作フローである。IF盤5が既に実装された状態で、伝送装置1が起動された時、もしくは、装置運用中にIF盤5が実装された時、IF盤5は上記図20、図22、図24、図26の実施例のいずれかに従い、保護状態にある。

【0174】IF盤5は、処理部2に対して、“H”レベルの立上トリガを発出する。処理部2は、この立上トリガの検出によって、IF盤実装を認識し、当該IF盤のIF盤ID保持部51より、同IF盤のIF盤IDを収集する(ステップS111)。

【0175】処理部2は、ステップS111において収

集したIF盤IDを用いて、上記図5、図6、図12、図15、図18、図19の実施例のいずれかにより誤実装判定を行い(ステップS112)、制御系処理部21は、判定結果を判定して(ステップS113)、誤実装ならば、当該IF盤に対して立上トリガクリア処理を行わず、逆に、正規実装ならば、当該IF盤に対して、立上トリガクリア処理を行う(ステップS114)。

【0176】これにより、立上トリガは“L”レベルとなる。IF盤は、この立上トリガの立ち下がりを検出し、保護状態を解除する。

【0177】この結果、IF盤の実装認識を立上トリガを用いて実現し、IF盤の保護状態の解除を立上トリガクリアによって行うことが可能となる。

【0178】なお、上記図31の動作フローにおいて、誤実装判定処理(ステップS112)を図5、図6、図12、図15、図18、図19の実施例によらずに、他の誤実装判定方式において、適用することも可能である。

【0179】図32は、本発明の更に他の実施例の動作フローチャートである。上記の図5、図6、図12、図15、図18、図19の実施例のいずれかにおいて、誤実装判定を行う(ステップS120)。誤実装判定の結果を判定し(ステップS121)、IF盤が誤実装と判定された場合、監視系処理部22は、外部監視装置7への表示等によって、当該IF盤が誤実装である旨を通知する(ステップS122)。

【0180】この結果、上記実施例の方法により、IF盤が誤実装と判断された場合、監視系処理部22は、当該IF盤が誤実装である旨、外部に対して警報出力を行うことで、保守者の早期対応(誤実装IF盤交換等)が可能となる。

【0181】また、図33は、本発明の更にまた他の実施例動作フローである。この実施例フローにおいて、ステップS130～132は、図32の実施例にステップS120～122と同じである。

【0182】したがって、ステップ132に続き、ステップS133において、監視系処理部22は、誤実装と判定されたIF盤を“未実装”として扱う。さらに、監視系処理部22は、システム内のIF盤の警報状態を常時収集し、警報情報を外部監視装置7に通知する。

【0183】ステップS133で誤実装IF盤を“未実装”としたことにより、監視系処理部22は、当該IF盤から発出される警報を収集せず、警報をマスクすることにより当該IF盤で警報が発生していても、外部への警報通知は行われない(ステップS134)。

【0184】この結果、監視系処理部22は、誤実装と判断されたIF盤を未実装として扱い、当該IF盤から発出される“誤実装”以外の警報をマスクし、外部に対して警報出力を行わないことで、異常個所の特定を容易にすることが可能となる。

【0185】

【発明の効果】以上図面に従い本発明の実施例を説明したように、本発明により、以下の効果が期待される。

【0186】本発明に従い、ＩＦ盤パッケージ誤実装判定において、バックアップデータの利用、実装スロット優先順位の定義、ＩＦ盤優先順位の定義、運用中の既実装／新規実装ＩＦ盤優先の定義を用いる。これにより、実装スロットと正規実装ＩＦ盤が１：１に対応せず、システム内のＩＦ盤パッケージ実装状態に依存した誤実装判定が要求される等の複雑な条件下でのＩＦ盤パッケージ誤実装判定が可能となる。

【0187】更に、ＩＦ盤誤実装発生時の保護として、ＩＦ盤実装時はスタンバイ状態、正規実装の場合のみＩＦ盤稼働、ＩＦ盤実装時は、信号出力線開放、正規実装の場合のみ信号出力線接続、ＩＦ盤実装時は、信号出力線ハイインピーダンス、正規実装の場合のみ信号出力線接続、ＩＦ盤実装時は、ＩＦ盤主回路への電源切断状態、ならびに正規実装の場合のみ電源投入等の手段を用いる。

【0188】これにより、上記誤実装を検出した場合、システム内の正規実装ＩＦ盤に対する運用回線断等の影響を未然に回避することができ、運用上要求される安全性を確保することができる。

【0189】更に、除記に列挙した、本発明のＩＦ盤パッケージ誤実装判定方法は、ハードウェア上の変更を必要とせず、処理部におけるソフトウェアの変更のみによって実現でき、低コストにて適用でき、既存装置への適用も容易である。

【図面の簡単な説明】

【図１】本発明に従う、ＩＦ盤の誤実装を判定する方法を適用する伝送装置１の概略構成を説明するブロック図である。

【図２】本発明が適用される伝送装置が配置されるネットワークの構成例と、伝送装置の位置づけを説明する図である。

【図３】本発明に従うＩＦ盤の実装状態の概念図である。

【図４】伝送装置の構成において、本発明の基本概念を示す１実施例の動作フローである。

【図５】図１の構成の具体的な構成例を説明するブロック図である。

【図６】図５と対比すべき、本発明の他の実施例構成を説明するブロック図である。

【図７】図５、図６に対応する制御系処理部２４内のバックアップテーブル２１１と実装テーブル２１２の関係を、説明する図である。

【図８】制御系処理部２１、監視系処理部２５の実装テーブル２１２及び、実装情報テーブル２５１の関係を説明する図である。

【図９】制御系処理部２１と監視系処理部２２が保持す

る最新の情報の写しを共有メモリ２６に複写する例を説明する図である。

【図１０】監視系処理部２２が制御系処理部２１による共有メモリ２６を参照する場合を説明する図である。

【図１１】図５～図８の実施例の動作フローである。

【図１２】図５の実施例に対応する他の実施例構成のブロック図である。

【図１３】図１２のスロット優先テーブル２１３と実装テーブル２１２の関係を説明する図である。

【図１４】図１２の実施例動作の流れを説明するフローである。

【図１５】図５に対応する本発明の別の実施例である。

【図１６】ＩＦ盤優先テーブル２１４の説明図である。

【図１７】図１５に対応する図１７の実施例動作フローに従い説明する。

【図１８】本発明の更に別の実施例であり、伝送装置１の正常運用中、新規にＩＦ盤が実装された場合の処理フローである。

【図１９】本発明の更に別の実施例の動作フローである。

【図２０】本発明に従うＩＦ盤の詳細構成例を示すブロック図である。

【図２１】図２０に対応する動作フローである。

【図２２】本発明に従うＩＦ盤の別の構成例ブロック図である。

【図２３】図２２の実施例の動作フローである。

【図２４】本発明に従うＩＦ盤の更に別の実施例構成である。

【図２５】図２４の実施例に対する動作フローである。

【図２６】更にまた別のＩＦ盤の構成例ブロック図である。

【図２７】図２６の実施例に対応する動作フローである。

【図２８】本発明の更に別の一実施例の動作フローである。

【図２９】トリガ発出回路の構成例ブロック図である。

【図３０】図２９のトリガ発出回路の信号タイムチャートである。

【図３１】本発明の他の実施例動作フローである。

【図３２】本発明の更に他の実施例の動作フローチャートである。

【図３３】本発明の更にまた他の実施例動作フローである。

【図３４】従来のＩＦ盤ＩＤによる誤実装の判定方法を用いる伝送装置の構成を説明する図である。

【図３５】従来のＩＦ盤の端子位置の相異による誤実装を判定する方法の説明図である。

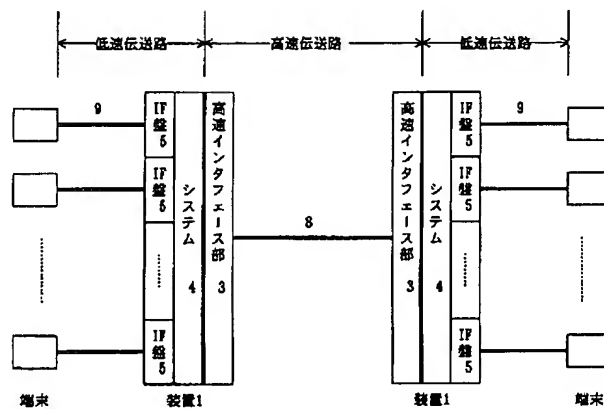
【符号の説明】

- １ 伝送装置本体
- ２ 処理部
- ２１ 制御系処理部

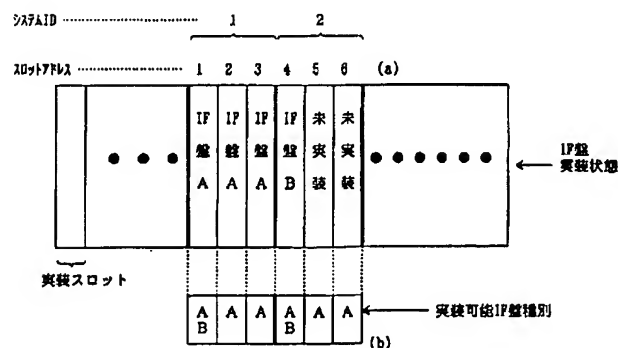


- |                     |                |
|---------------------|----------------|
| 22 監視系処理部           | 15 識別信号        |
| 3 高速インタフェース部        | 211 バックアップデータ  |
| 4 伝送路インタフェース部(システム) | 212 実装テーブル     |
| 5 パッケージ(IF盤)        | 221 実装情報テーブル   |
| 51 IF盤ID保持部         | 23、24、25 CPU   |
| 6 外部制御装置            | 26 共有メモリ       |
| 7 外部監視装置            | 213 スロット優先テーブル |
| 8 高速伝送路             | 214 IF盤優先テーブル  |
| 9 低速伝送路             | 55 IF盤主回路      |
| 10 メモリ              | 51 信号出力回路      |
| 11 比較部              | 56 IF盤設定保持部    |
| 12 表示部              | 57 信号線スイッチ部    |
| 13 パッケージ(IF盤)       | 58 トライステート出力部  |
| 52 識別端子(IF盤側)       | 59 電源スイッチ部     |
| 53 共通端子(IF盤側)       | 16 電源          |
| 541 IF盤内部ループ        | 17 D-フリップフロップ  |
| 13 実装スロット           | 18 レジスタ        |
| 131 識別端子(実装スロット側)   | 19 パワーオンリセット回路 |
| 132 共通端子(実装スロット側)   | 20 OR回路        |
| 14 共通信号             | 21 遅延回路        |

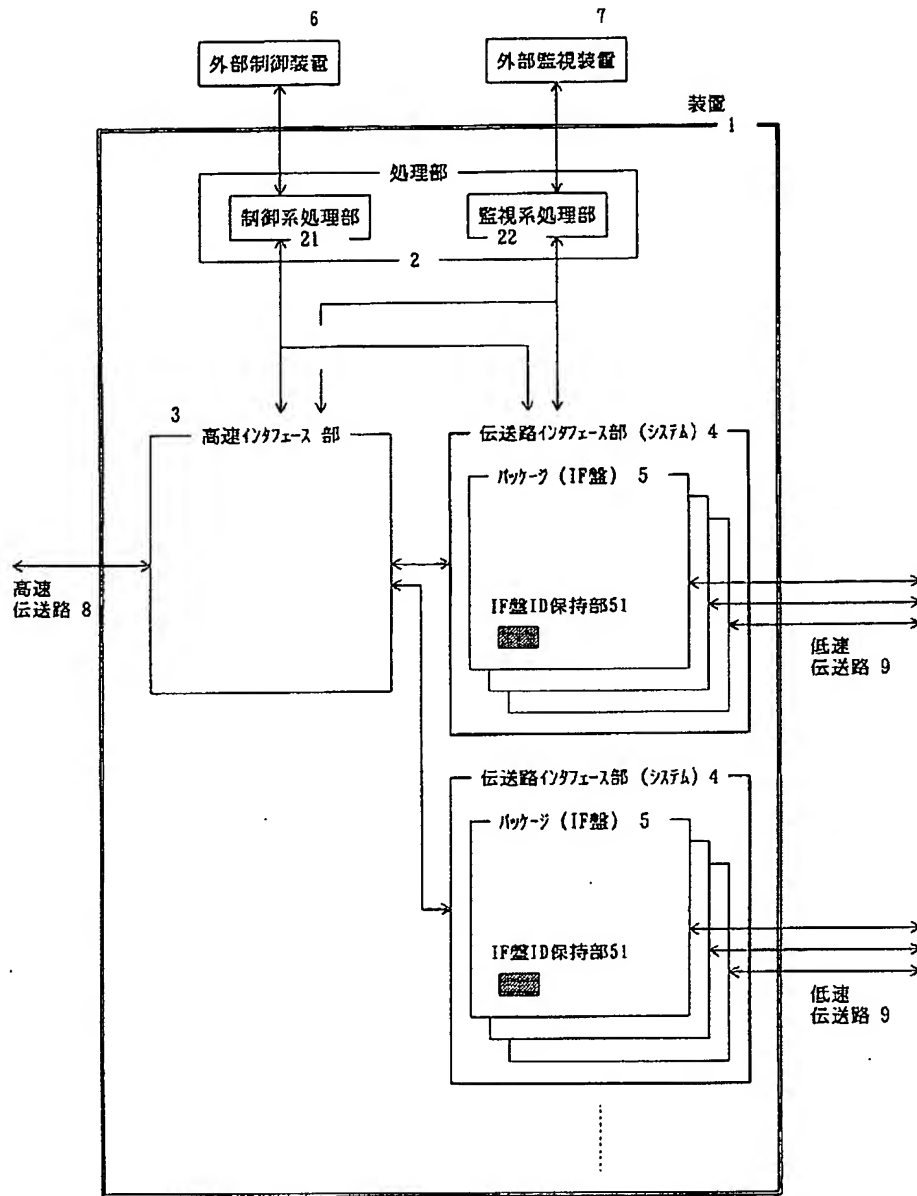
【図2】



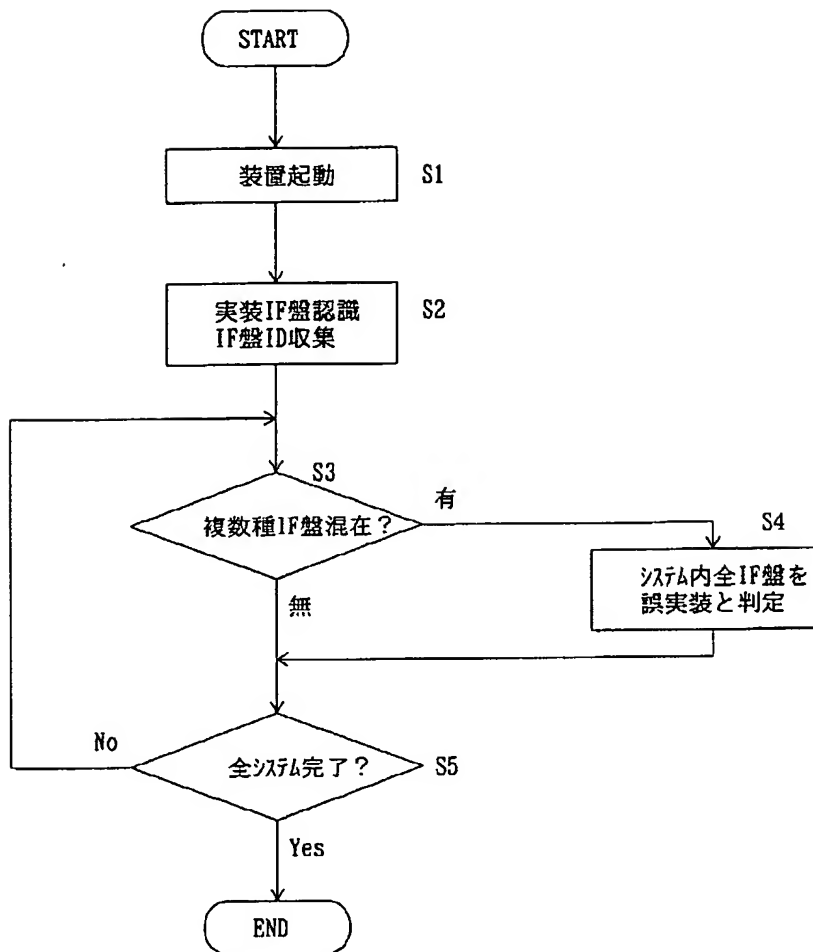
【図3】



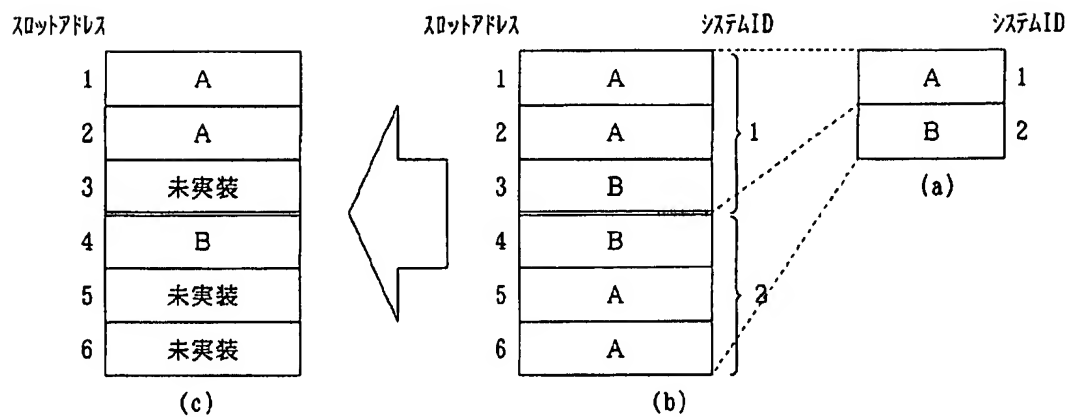
【図1】



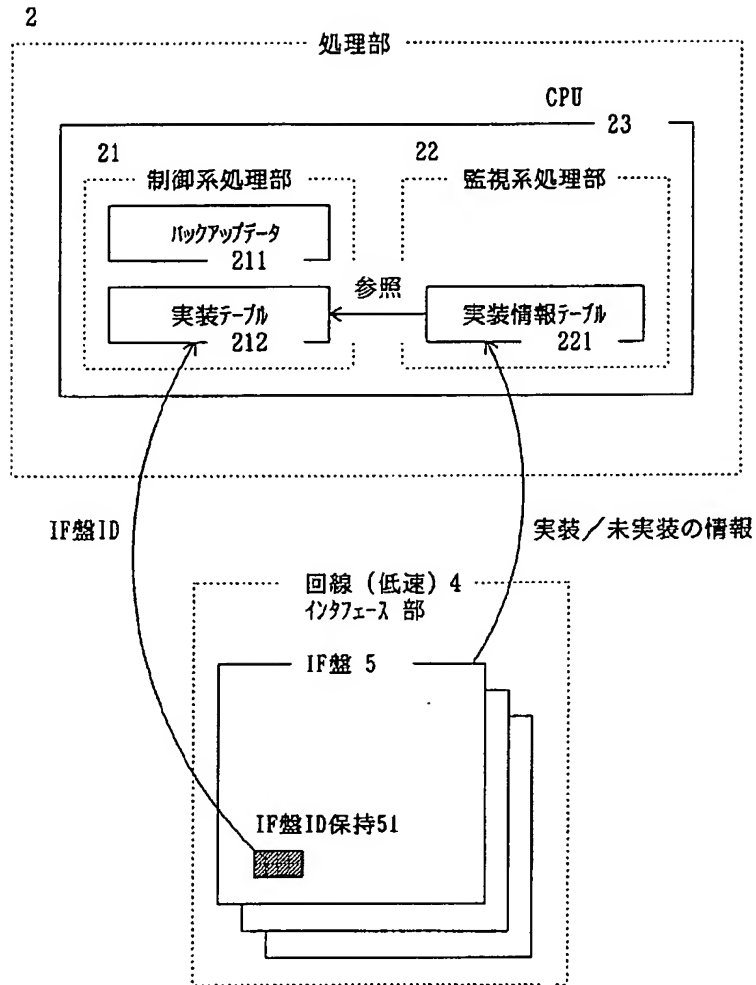
【図4】



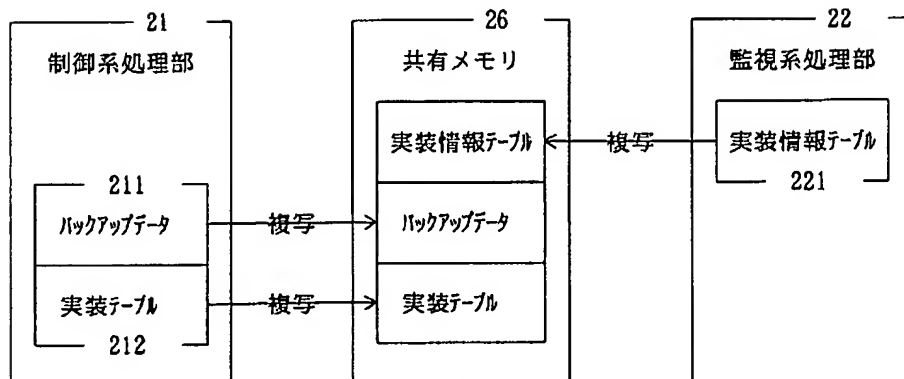
【図7】



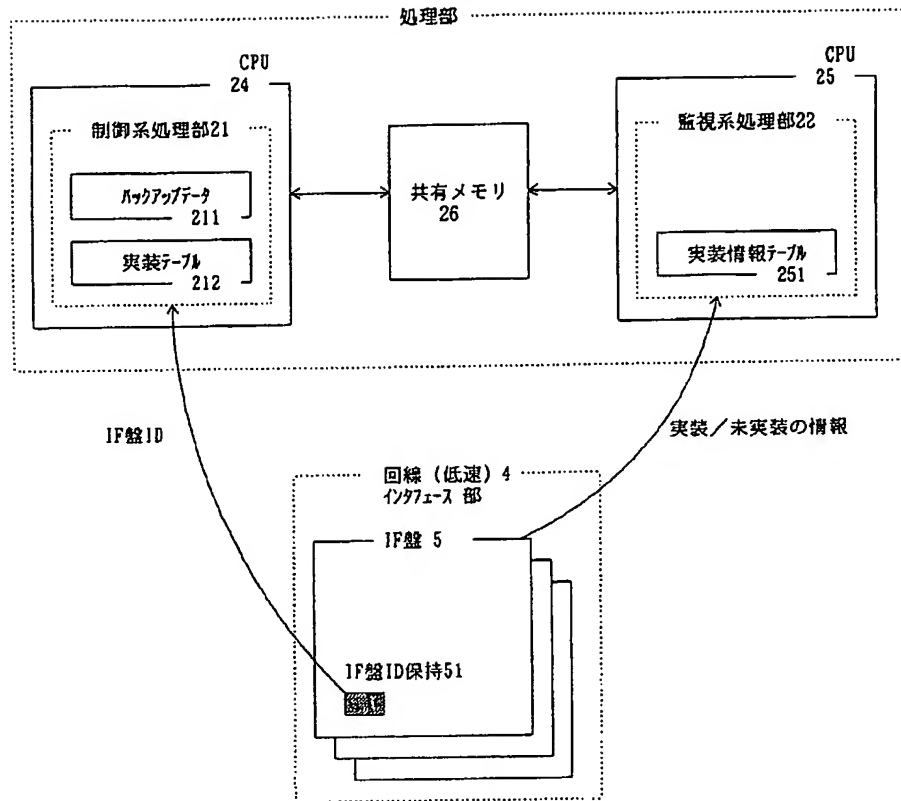
【図5】



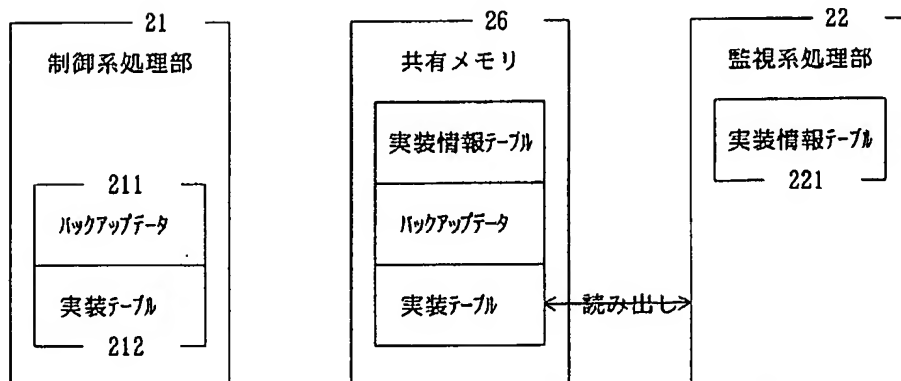
【図9】



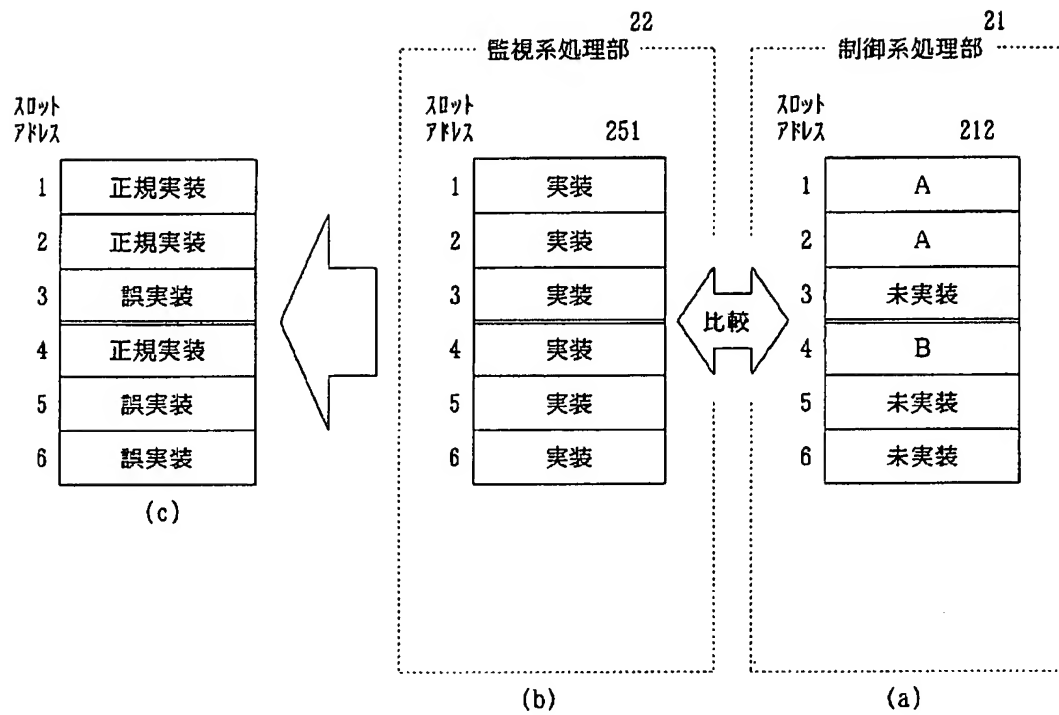
【図6】



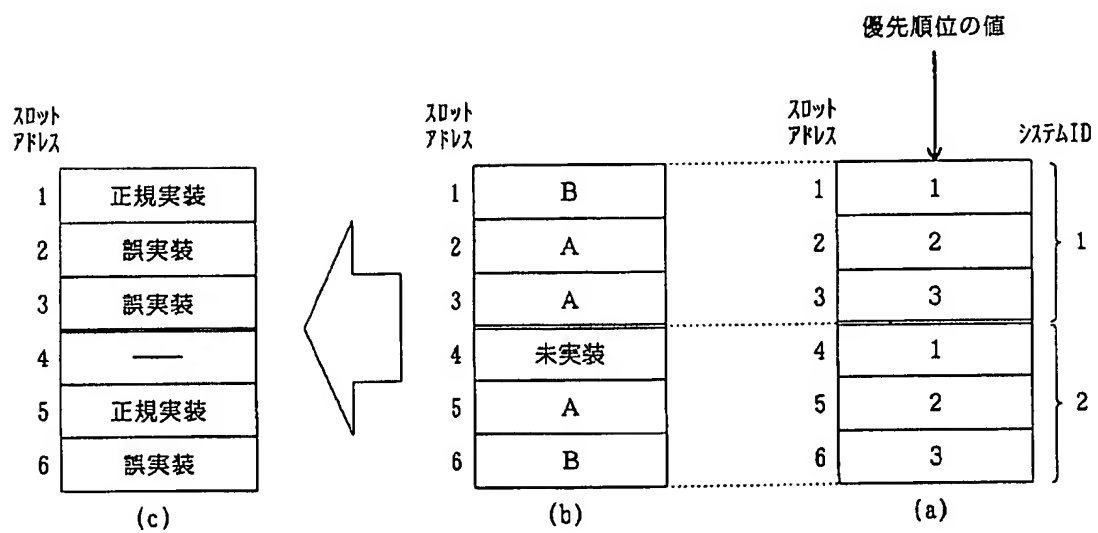
【図10】



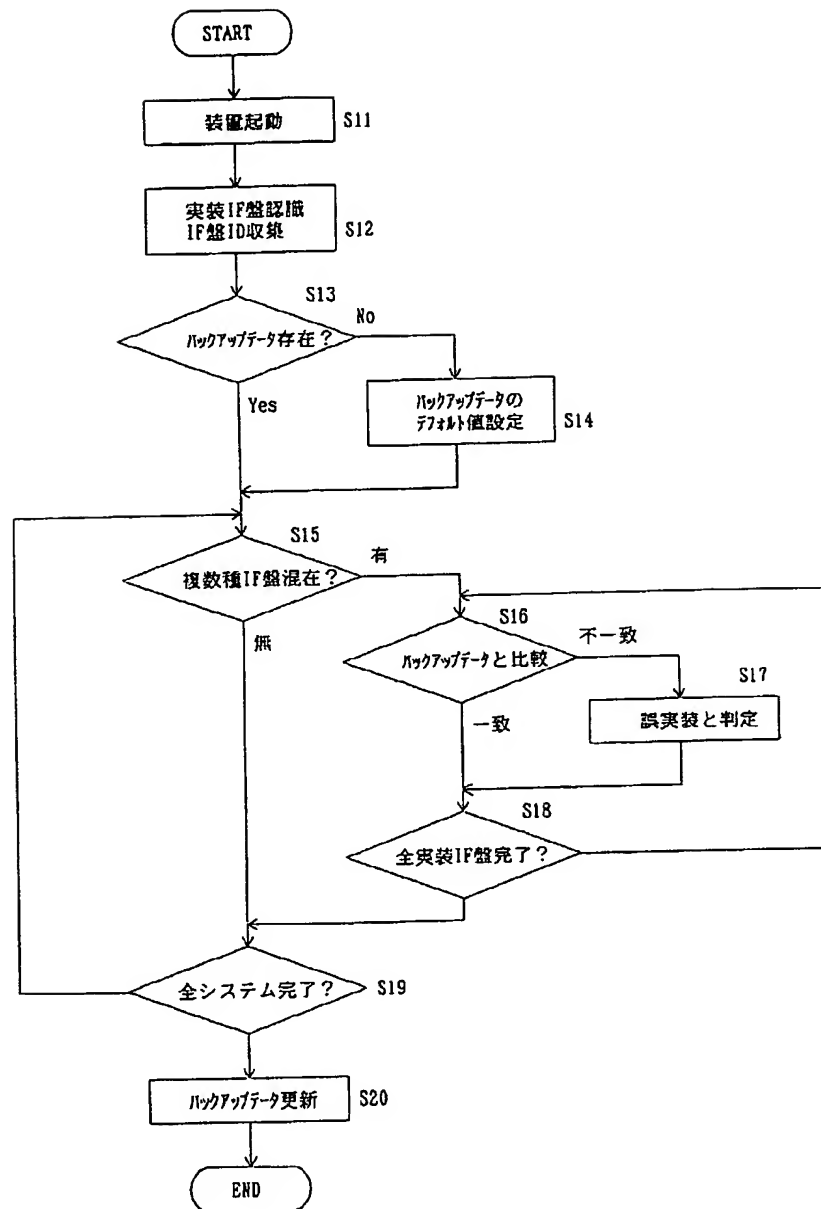
【図8】



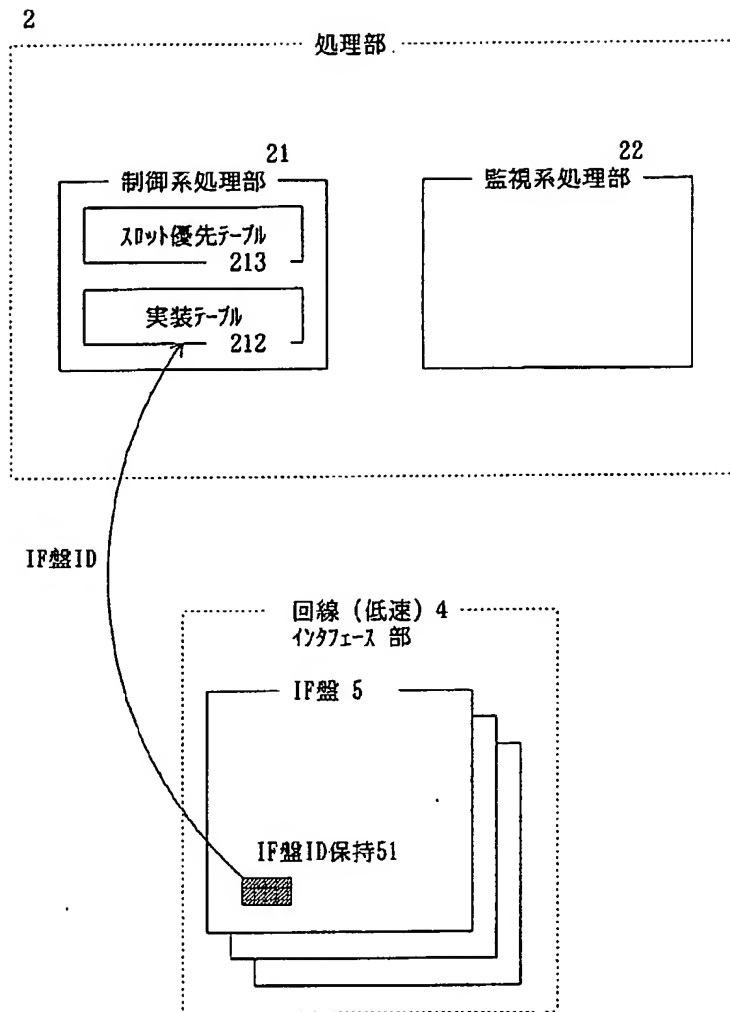
【図13】



【図11】

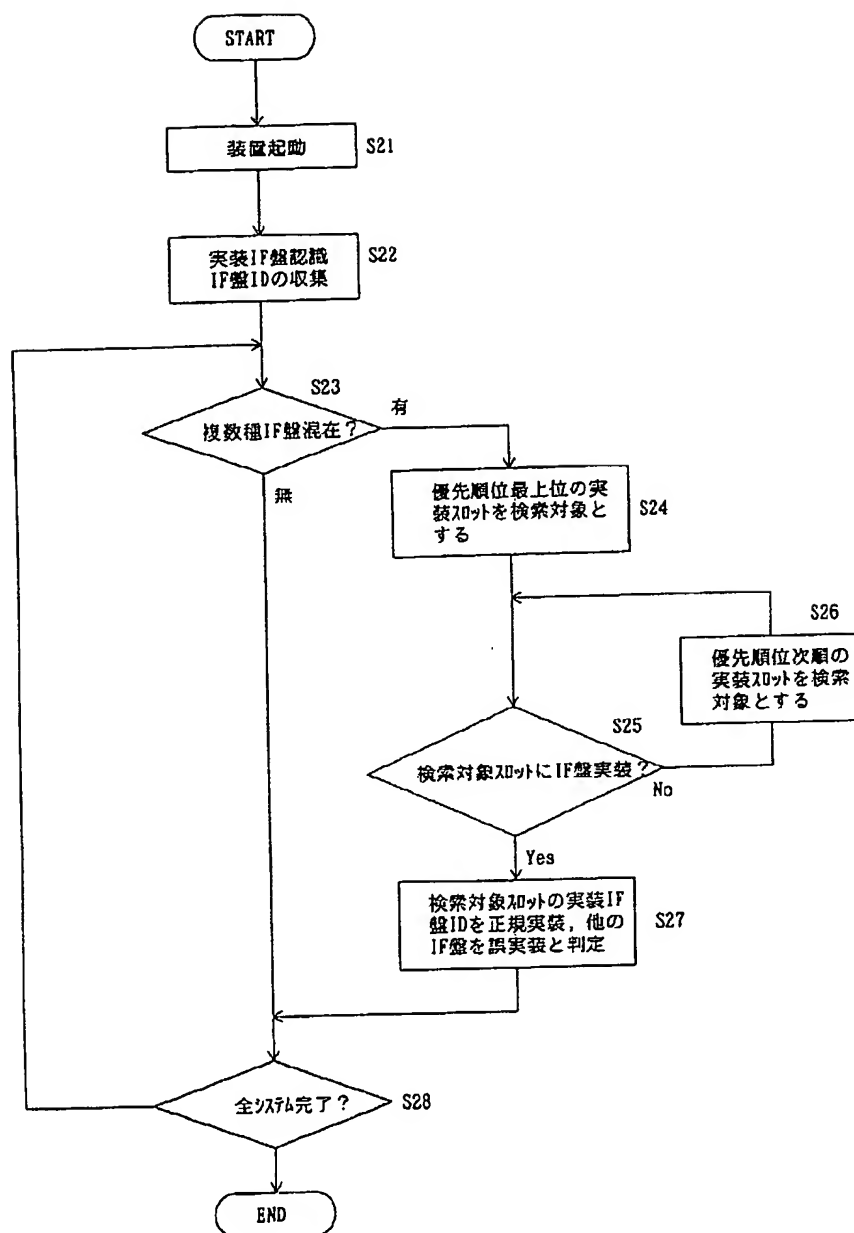


【図12】

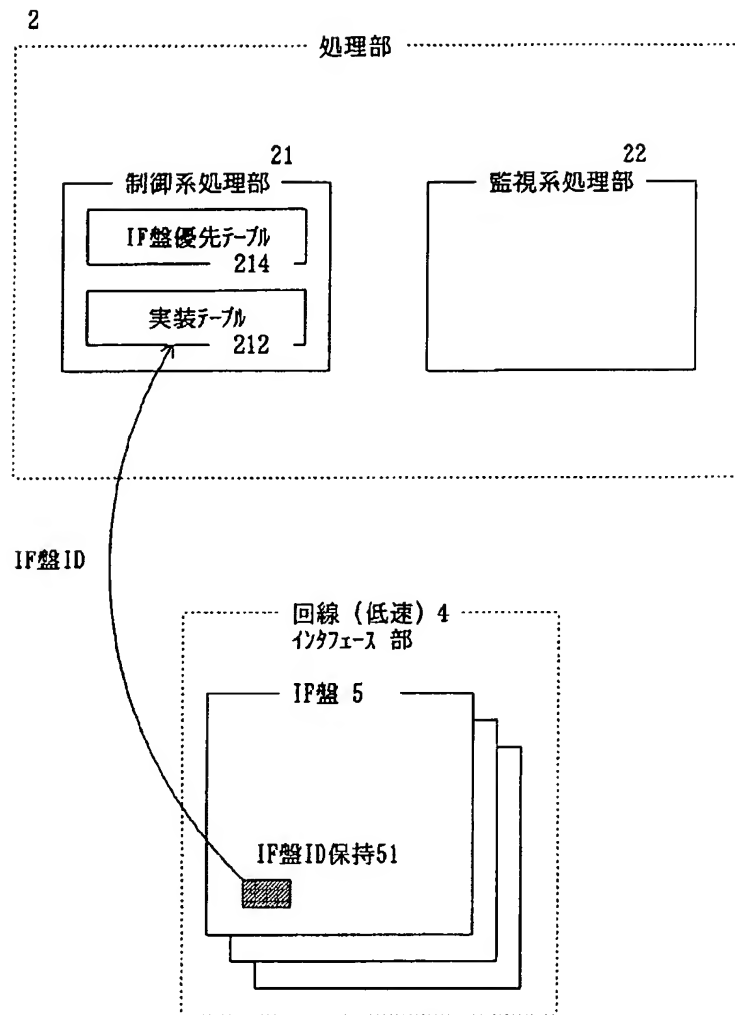




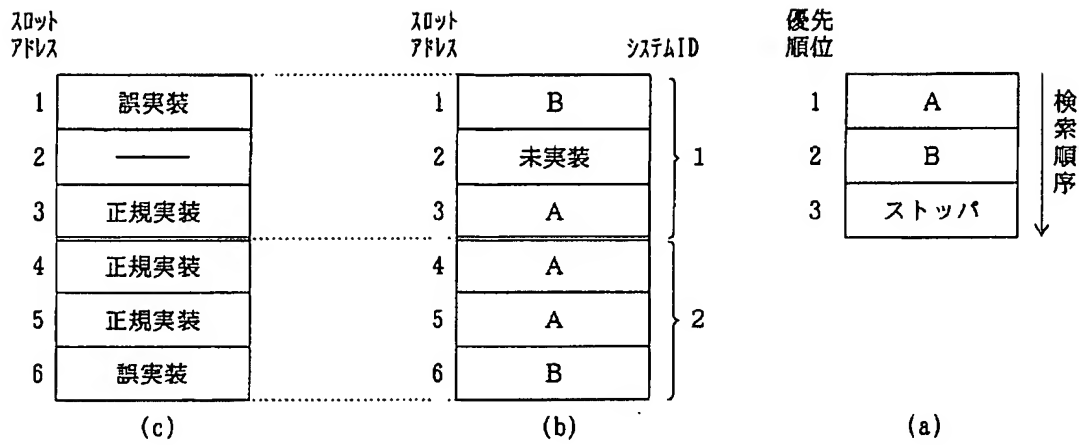
【図14】



【図15】

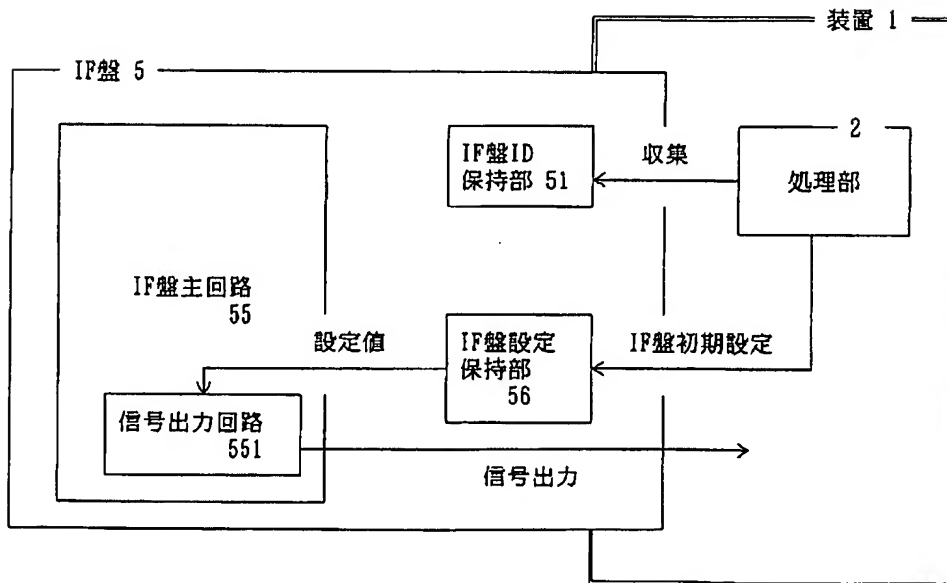


【図16】

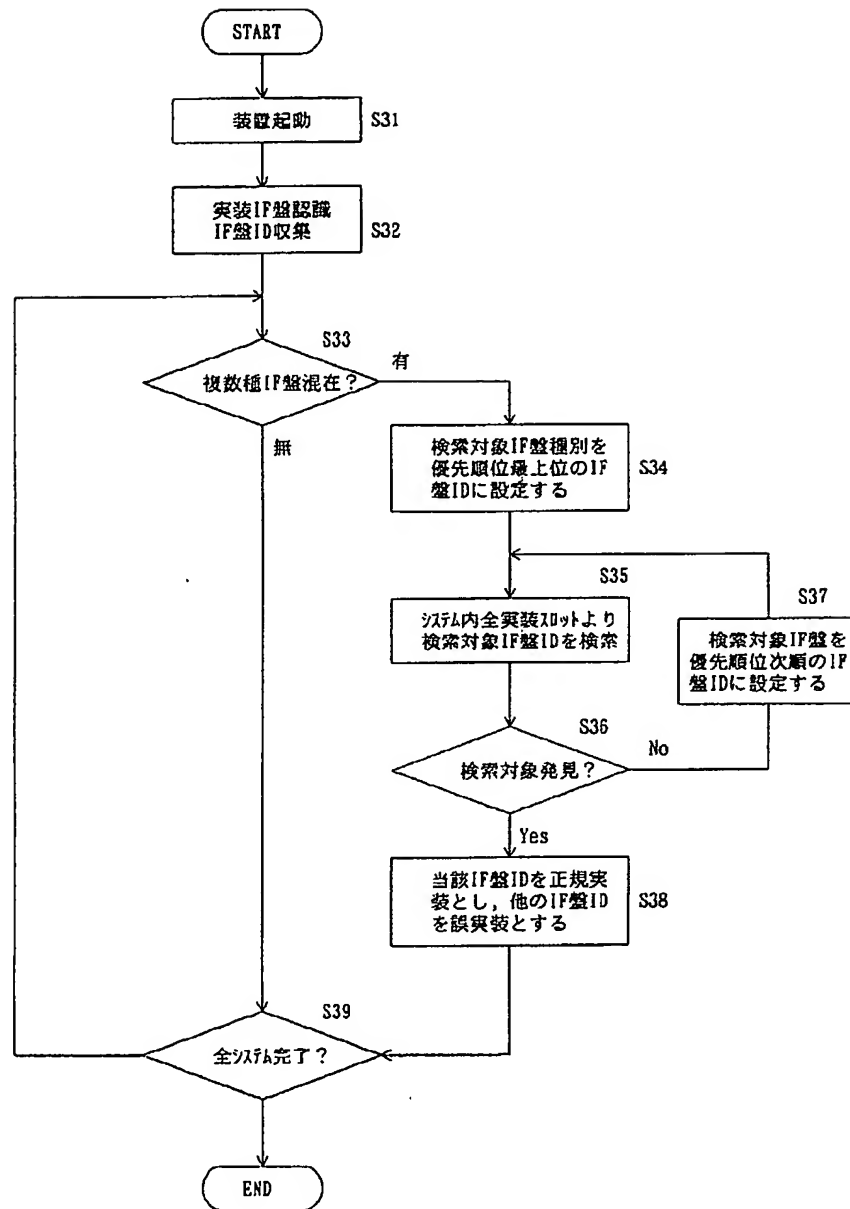


A : IF盤AのIF盤ID  
B : IF盤BのIF盤ID

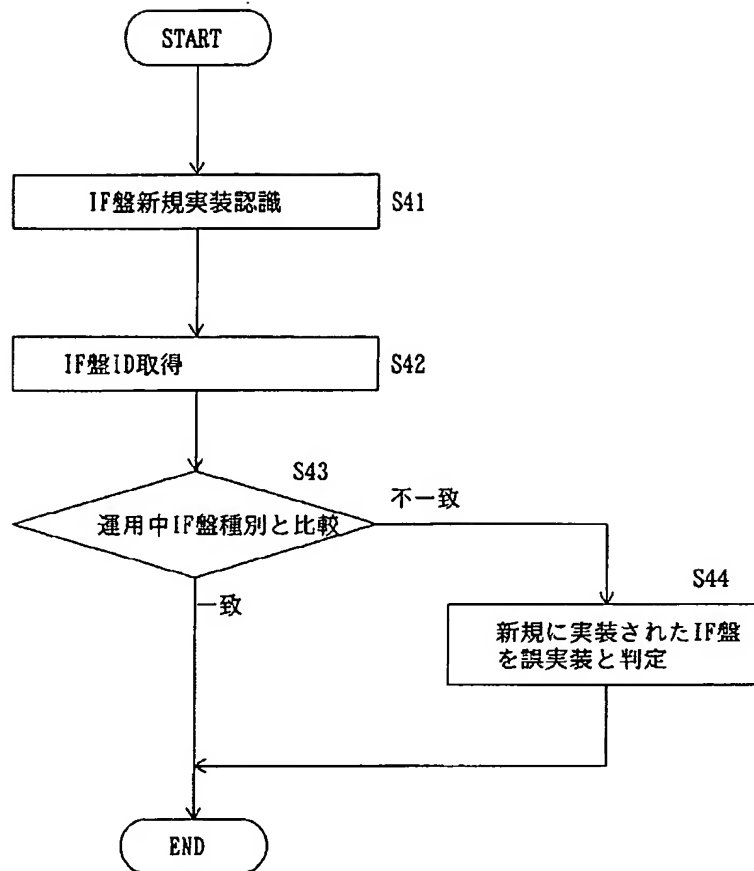
【図20】



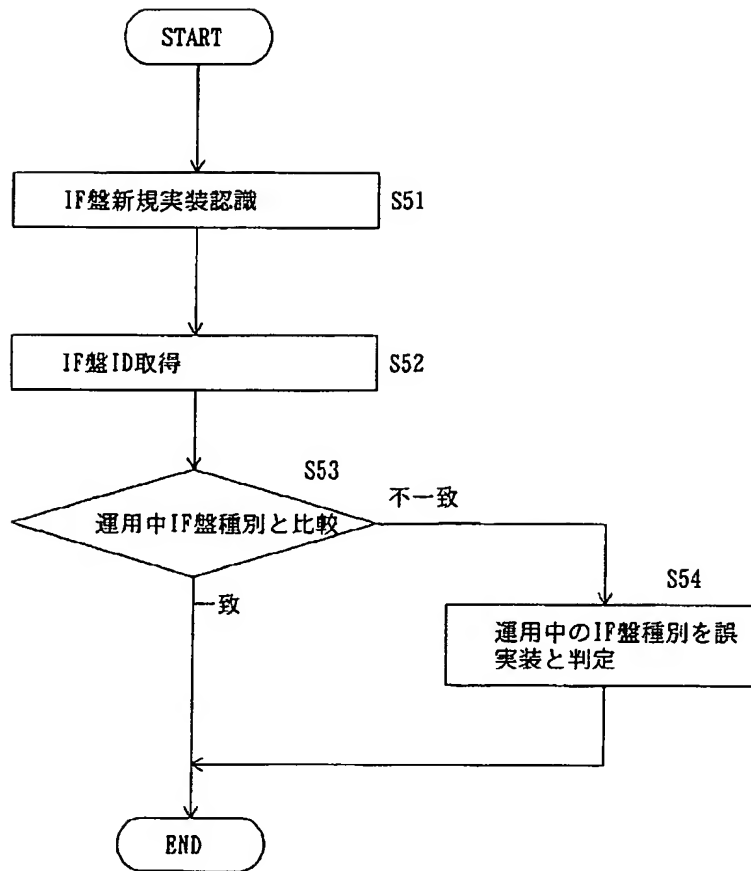
【図17】



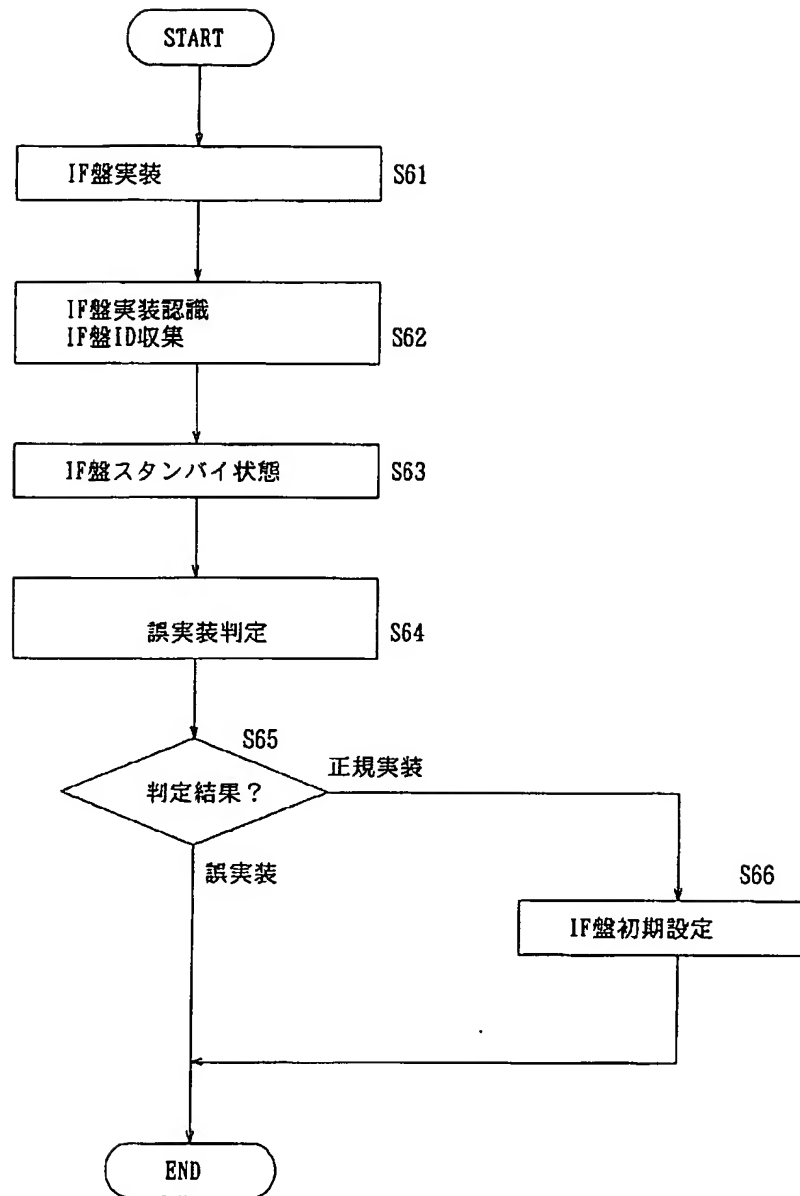
【図18】



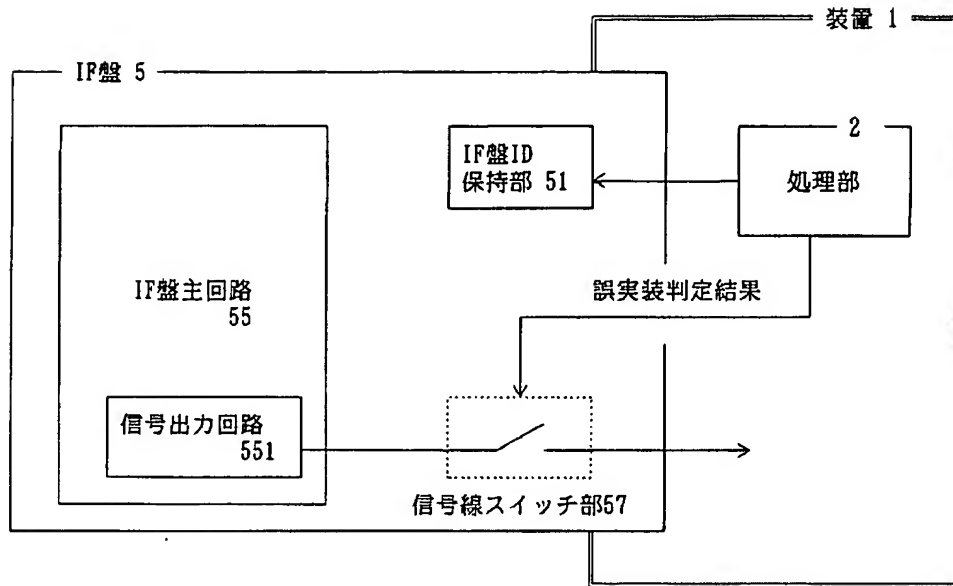
【図19】



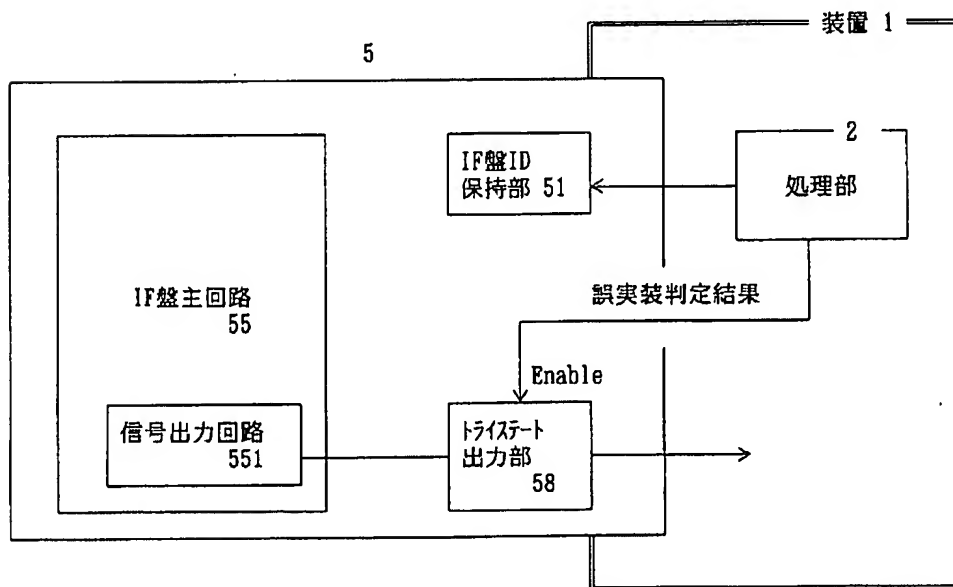
【図21】



【図22】

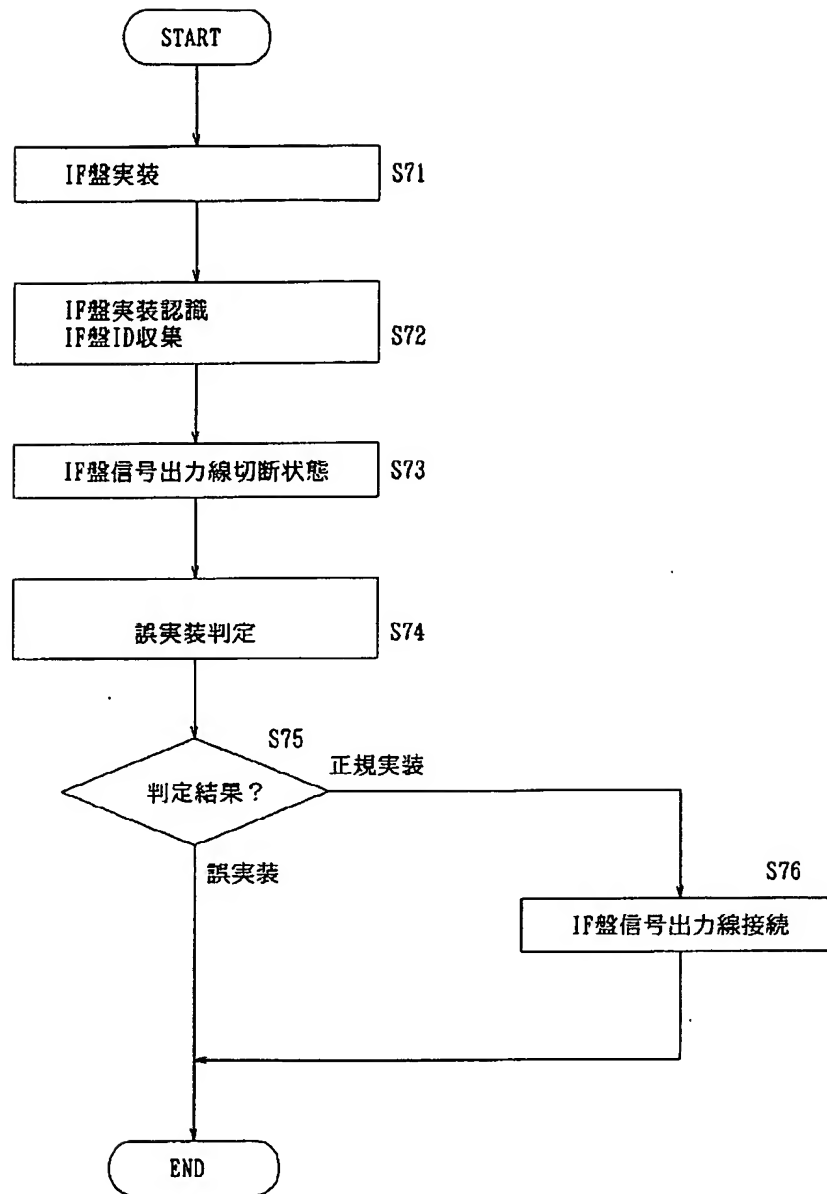


【図24】

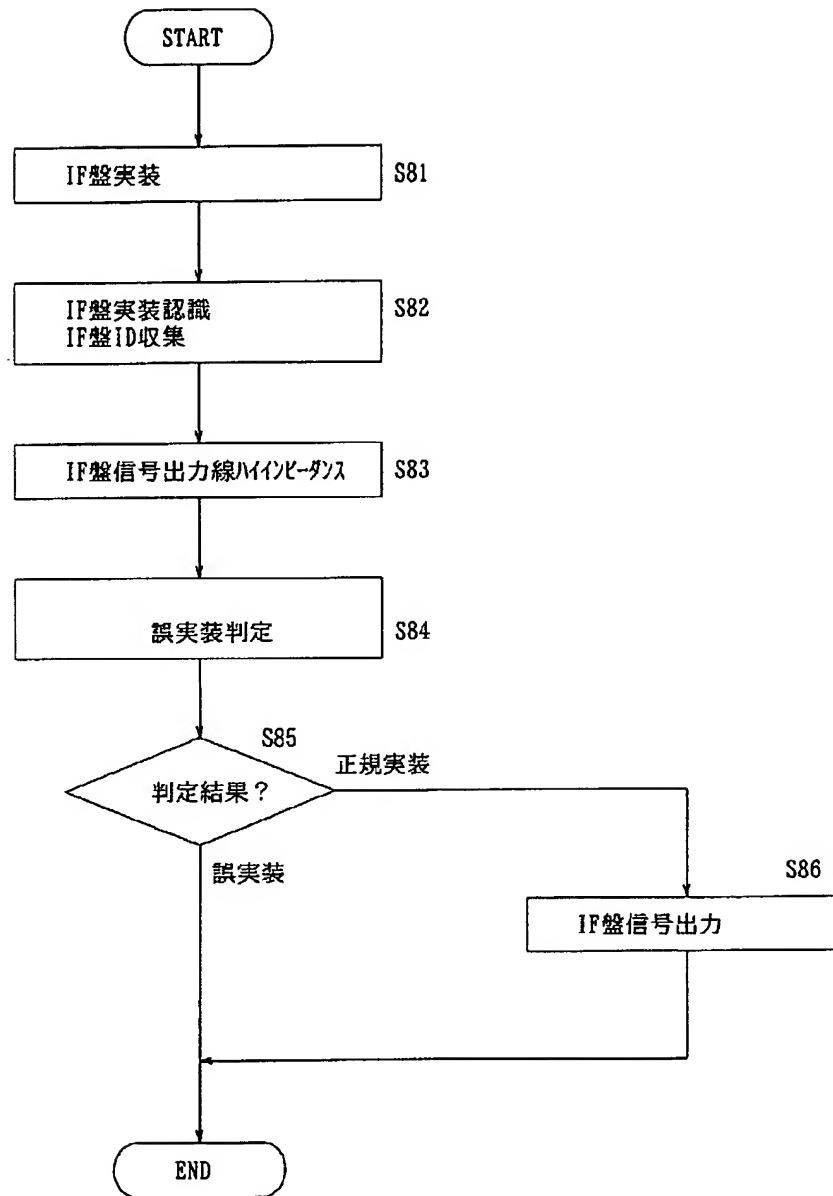




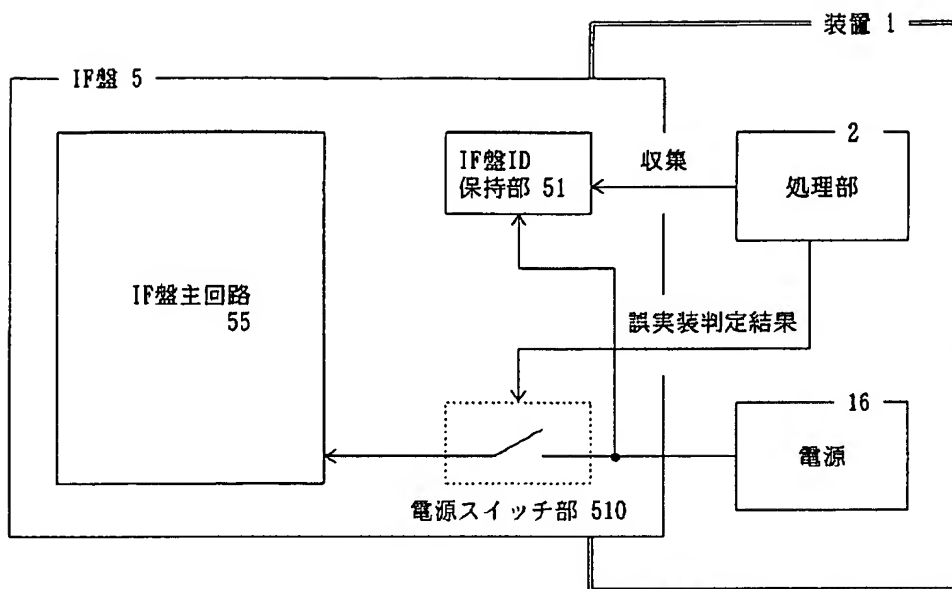
【図23】



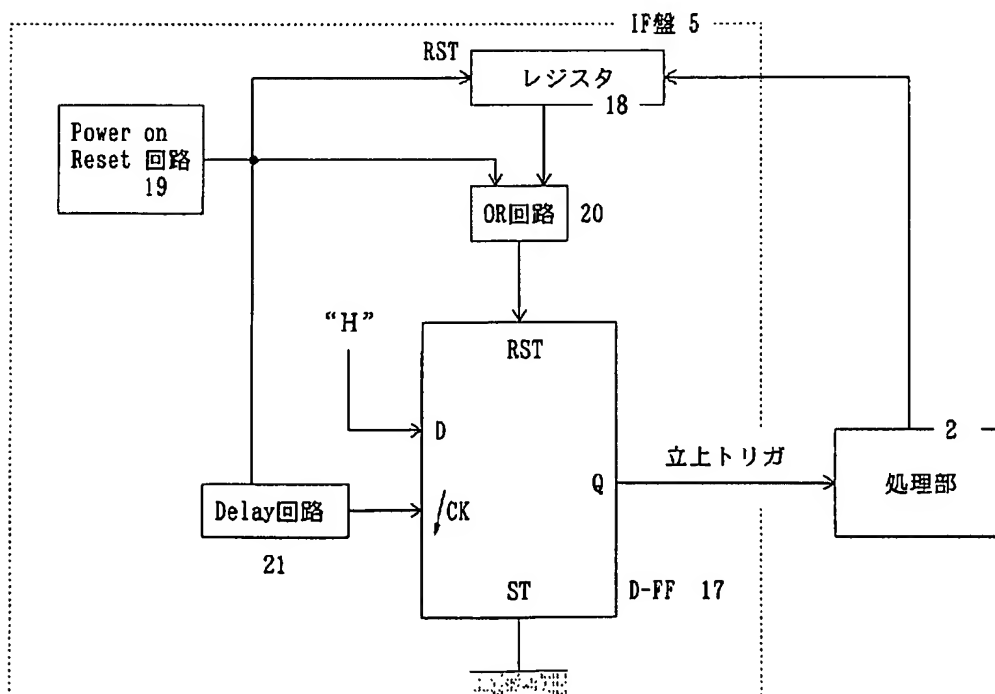
【図25】



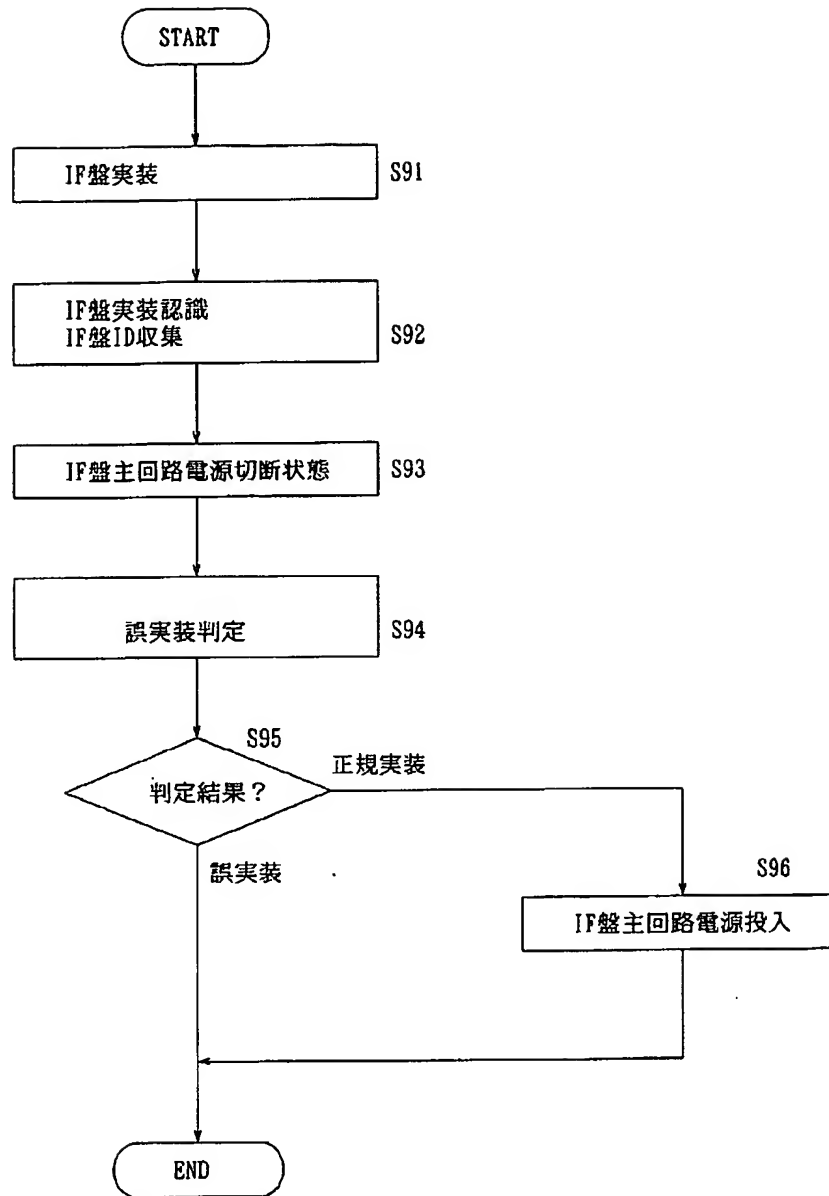
【図26】



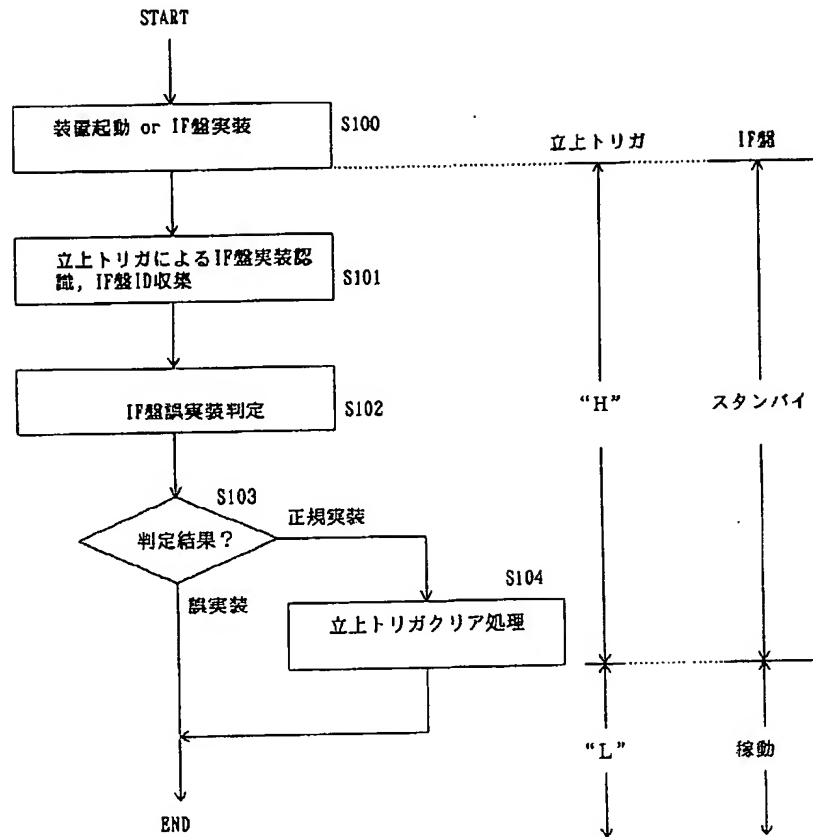
【図29】



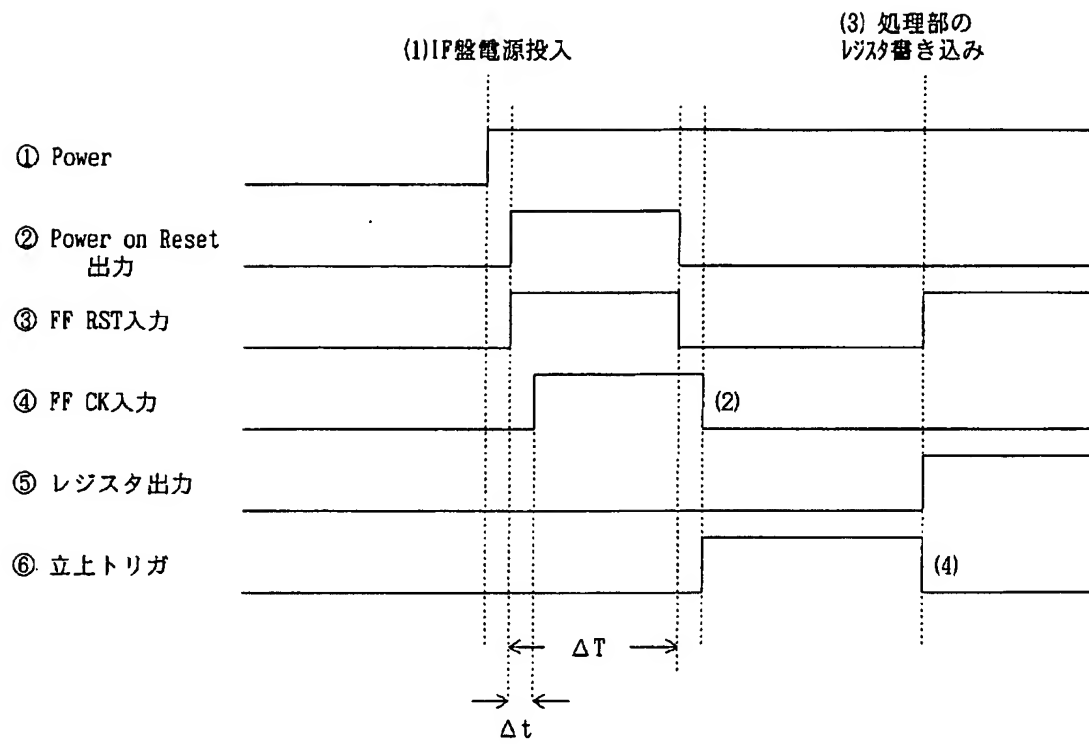
【図27】



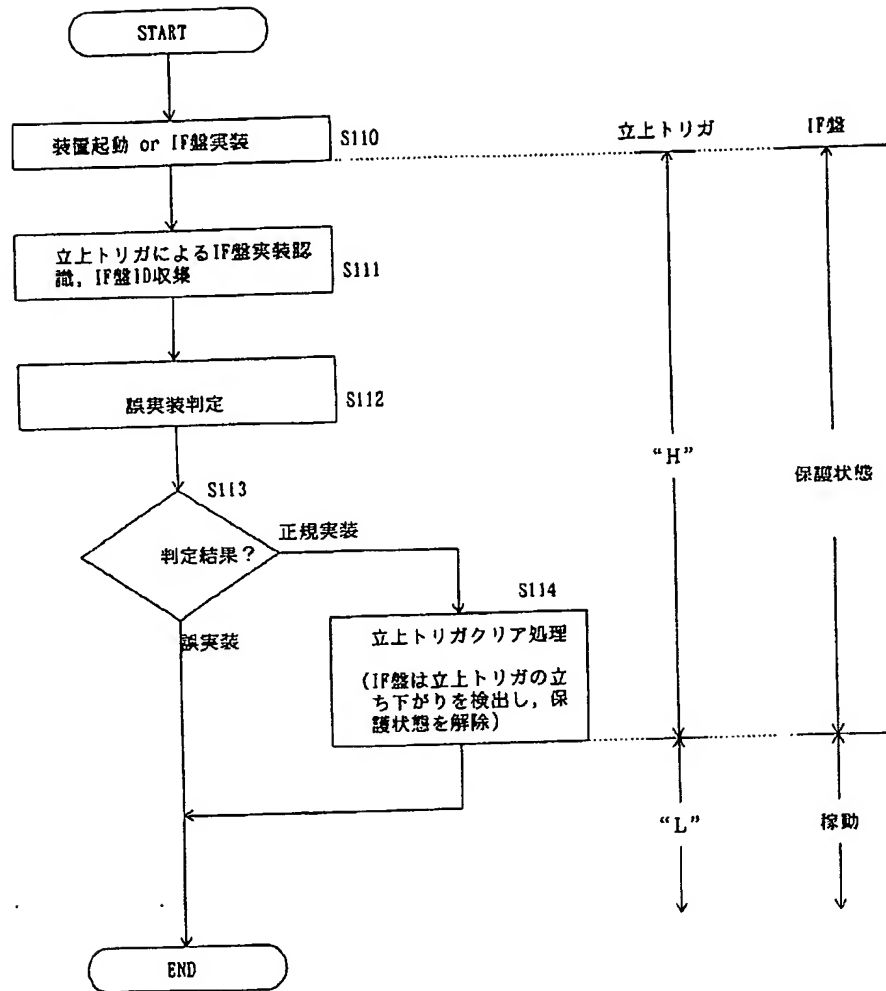
【図28】



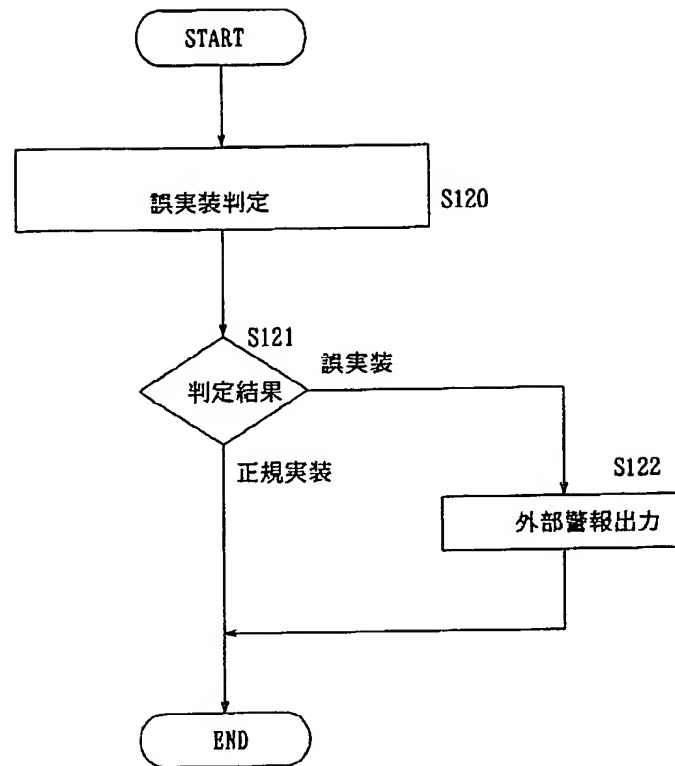
【図30】



【図31】

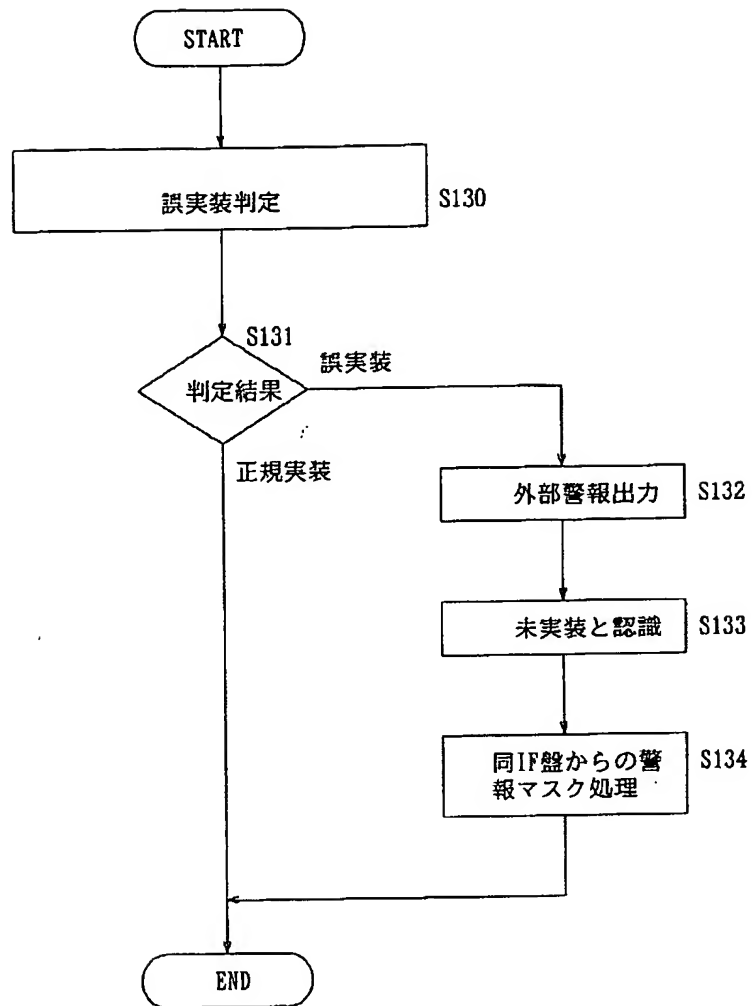


【図32】

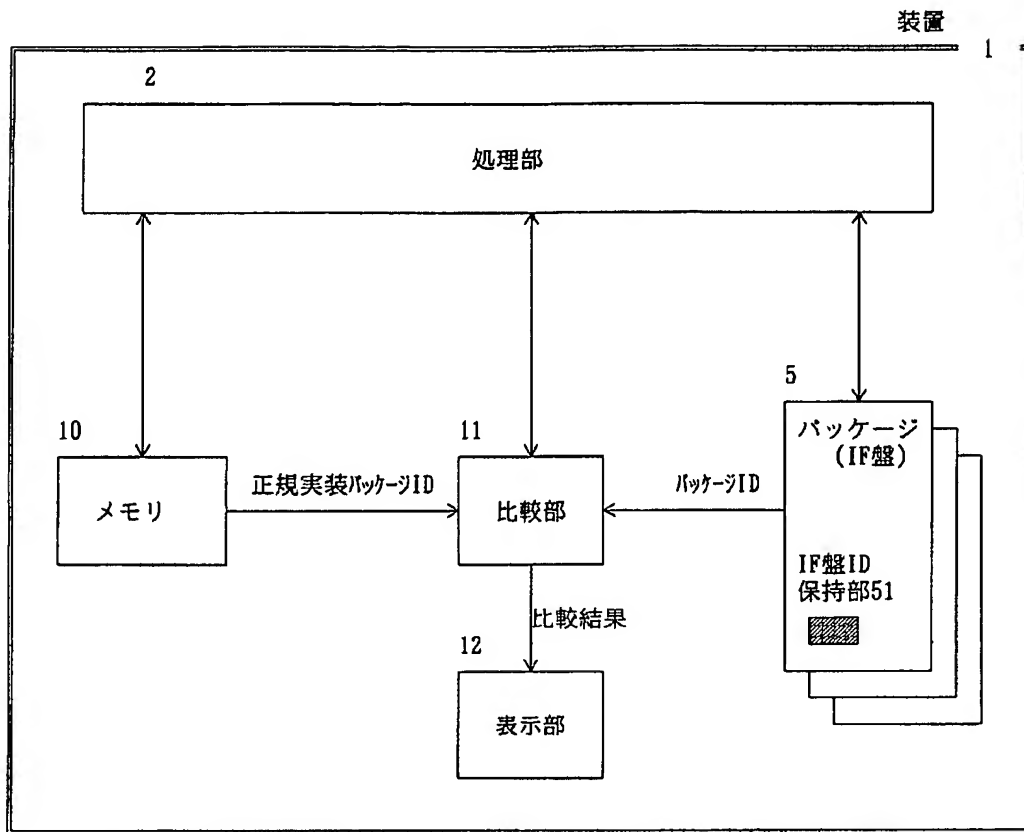




【図33】



【図34】



【図35】

